# DFX - Design for Excellence

**Entwicklung / Konstruktion – PCB Design - Datenaustausch**

SOLUTIONS FOR YOUR IDEAS

1 Research & Development

2 DFX – Design for Exellence

3 DFM – Design for Manufacturing

4 DFT – Design for Testability

5 DFA – Design for Assembly

6 Vorteile für den Kunden

1 **Research & Development**

2 **DFX – Design for Exellence**

3 **DFM – Design for Manufacturing**

4 **DFT – Design for Testability**

5 **DFA – Design for Assembly**

6 **Vorteile für den Kunden**

# DFX Überblick

## DFX - Design for Excellence

- **DFM** **Design for Manufacturing**
  für Einzelleiterplatten / Baugruppen
  Prüfung auf Fehler bzgl. Bestückung
  **Regelwerke für SMT / THT Produktion**

- **DFT** **Design for Testability**
  für Einzelleiterplatten / Baugruppen
  Prüfung auf Fehler im Schaltplan / PCB Design
  **Vorschläge für die beste Teststrategie**

- **DFA** **Design for Assembly**
  für Module und Systeme
  Verbesserungen bzgl.
  **Zusammenbau Check bzgl. Handbestückung**

# Development Process

Bildquelle: ZVEI AK Design Chain

# Development Process

Bildquelle: Zollner Elektronik AG

1 Research & Development

2 DFX – Design for Exellence

3 DFM – Design for Manufacturing

4 DFT – Design for Testability

5 DFA – Design for Assembly

6 Vorteile für den Kunden

# Perfekte Zeitpunkte für DfX im Produktlebenszyklus

Den optimalen & konkreten Zeitpunkt um mit DfX Analysen zu starten gibt es nicht auf den Punkt genau.
Jedoch kann man mit den von - bis Bereichen in Abhängigkeit mit den projektspezifischen Gegebenheiten sehr gute Zeitpunkte festlegen.

Bildquelle: Zollner Elektronik AG

1 Research & Development

2 DFX – Design for Exellence

3 DFM – Design for Manufacturing

4 DFT – Design for Testability

5 DFA – Design for Assembly

6 Vorteile für den Kunden

# DFM Software

**Unter DFM versteht man eine softwarebasierte Simulation mit dem Ziel, Informationen zu liefern bzgl.:**

- Bauteile und Pads, welche beim Fertigungsprozess Probleme verursachen können
- Produkt Design, ob es mit dem vorhandenen Maschinenpark umsetzbar ist
- Fehler im Design, Layout und Kundendaten

  **noch vor** dem Layout Design Freeze und dem Start der Produktion.

**Benötigt werden:**
- CAD Daten (native / ODB++)
- Stückliste (Bill of Material)

Bildquelle: Zollner Elektronik AG

# DFM Software

**Ein automatisches Regelwerk wurde in Valor Process Preparation implementiert.**

Hierbei wurden die PCB Design Guidelines, sowie die IPC-A-610 Richtlinien berücksichtigt.

| Profile checks | Status |
|---|---|
| Paste_Printer_Site | OK |
| SMT_Pick_Place_Site | OK |
| Reflow_Soldering_Site | OK |
| Automated_Radial_Pick_Place_THT_Site * | OK |
| Automated_Axial_Pick_Place_THT_Site * | OK |
| Automated_IC_Pick_Place_THT_Site * | OK |
| Routing_Depanelization_Site | OK |
| Wave_Soldering_Site | OK |
| Vapor_Phase_Soldering_Site | OK |
| Selective_Soldering_Site | NOK |
| Flying_Probe_Test_Site | OK |
| ICT_Site | OK |
| AOI_Site | OK |
| AXI_Site | OK |
| FCT_Site | OK |
| Selective_Coating_Site * | OK |
| Rework_Station_Site | OK |

| Ecad checks | Status |
|---|---|
| Placement/ Package mismatch | NOK |
| Approved Vendor List (AVL) | NOK |
| Placement review recommended | NOK |
| Comp. Rotation | NOK |
| Comp. Height | NOK |
| Edge clearance | OK |
| Comp. Spacing | NOK |
| Comp. to Toeprint | NOK |
| Trace under component | OK |
| Other Side Keepout | OK |
| Hole in SMD (SMDPads) | OK |
| No Solder Mask Web | OK |
| Vias in SMD | OK |
| Trace Width Ratio(%) | NOK |
| Trace Width/ Pad Perimeter (%) | NOK |
| Toeprint Covered by Surface (%) | NOK |

# DFM Software

**Für den PCB Designer gibt es ein abgestimmtes Programm mit definierten Tests.**

Hierbei wurden die PCB Design Guidelines, sowie die IPC-A-610 Richtlinien berücksichtigt.

PCB-Investigator
EASYLOGIX.DE

- Basis Review Liste
- Component Analyse
- Bareboard Analyse
- Hazard Analyse
- Selective Wave Analyse
- AOI Coverage
- Tombstone Analyse
- Test Point Analyse
- Creepage Analyse (Class to Class)
- Net List / one pin net information

Bildquelle: Zollner Elektronik AG

## Leiterbahnen unter den Bauteilen

Bei kleinen und leichten Bauteilen (≤ 0603) besteht erhöhtes Risiko für einen Grabsteineffekt, wenn Leiterbahnen unter ihnen durchlaufen. Dies sollte vermieden werden.

Bildquelle: Zollner Elektronik AG

## Prüfen des Layouts bzgl. Abstände zu benachbarten Bauteilen

Um Reparaturen durchführen zu können, ist ein Mindestabstand zwischen Bauteilen notwendig

Bildquelle: Zollner Elektronik AG

## Prüfen des Verhältnisses Pin zu Pad

- Große Masseanschlüsse an kleinen Bauteilen können zu Grabsteineffekten führen
- Dies kann durch Einbringen von Wärmefallen vermieden werden

Bildquelle: Zollner Elektronik AG

## Prüfen des Verhältnisses Component zu Padsize (Second Source / Obsolescenz)

| *Manufacturer* | *Manufacturer Part Name* |
|---|---|
| YAGEO | CC0603KRX7R9BB104 |
| MURATA | GRM188R71H104KA93D |
| TDK | C1608X7R1H104K080AA |

Bildquelle: Zollner Elektronik AG

## Prüfen des Verhältnisses Component zu Padsize (Second Source / Obsolescenz)

| *Manufacturer* | *Manufacturer Part Name* |
|---|---|
| YAGEO | CC0603KRX7R9BB104 |
| MURATA | GRM188R71H104KA93D |
| TDK | C1608X7R1H104K080AA |

Bildquelle: Zollner Elektronik AG

# DFM Beispiele

## Prüfen des Verhältnisses Component zu Padsize (Second Source / Obsolescenz)

| *Manufacturer* | *Manufacturer Part Name* |
|---|---|
| YAGEO | CC0603KRX7R9BB104 |
| MURATA | GRM188R71H104KA93D |
| TDK | C1608X7R1H104K080AA |

**Lotkugelbildung**

Bildquelle: Zollner Elektronik AG

1 Research & Development

2 DFX – Design for Exellence

3 DFM – Design for Manufacturing

4 DFT – Design for Testability

5 DFA – Design for Assembly

6 Vorteile für den Kunden

# DFT Software

**Unter DFT versteht man eine softwarebasierte Simulation mit dem Ziel, Informationen zu liefern bzgl:**

- der Testabdeckung einer Single Leiterplatte für verschiedene Testarten
- der optimalen Test Strategie für den Kunden
- Fehler im Design, Layout und Kundendaten
- des zu erwarteten Production Yields

  noch vor dem Layout Design Freeze und Start der Produktion

**Benötigt werden:**

- CAD Daten (native / ODB++)
- Stückliste (Bill of Material)
- Schaltplan

Bildquelle: Zollner Elektronik AG

# DFT simulierbare Testsysteme

AOI

AXI

FPT

SPI

BSCAN

ICT

MDA

FCT

Maximale Testabdeckung & Minimale Redundanz -> Idealer Test

Bildquelle: Zollner Elektronik AG

# DFT Ergebnisse

## Simulation von Testsystemen

- Beratung des Kunden zur idealen Teststrategie

| Device Type | Total number (Parts or pins) | Number of well tested | Number of partially tested | Number of not tested |
|---|---|---|---|---|
| Integrated Circuit | 13 Parts (207 Pins) | 0.0% (0) | 100.0% (13) | 0.0% (0) |
| Transistor | 12 Parts | 100.0% (12) | 0.0% (0) | 0.0% (0) |
| Diode | 8 Parts | 12.5% (1) | 0.0% (0) | 87.5% (7) |
| LED | 9 Parts | 0.0% (0) | 100.0% (9) | 0.0% (0) |
| Capacitor | 34 Parts | 55.9% (19) | 0.0% (0) | 44.1% (15) |
| Resistor | 54 Parts | 100.0% (54) | 0.0% (0) | 0.0% (0) |
| Fuse | 2 Parts | 0.0% (0) | 100.0% (2) | 0.0% (0) |
| Connector | 21 Parts (265 Pins) | 0.0% (0) | 0.0% (0) | 100.0% (21) |
| Testpoint | 1114 Parts | | | |
| Total | 153 Parts (1114 ignored) | 56.2% (86) | 15.7% (24) | 28.1% (43) |

| Ref. Des | Part No. | Pins | Value | Tol | nTol | Tested Value | Coverage score | Connection score | Comment |
|---|---|---|---|---|---|---|---|---|---|
| C2000 | C-CER0402 | 2 | 100 n | 0.00% | 0.00% | | 100.00% | 100.00% | Capacitor Test,Value |
| C2001 | C-CER0402 | 2 | 100 n | 0.00% | 0.00% | | 0.00% | 0.00% | Capacitor Test,Value Not measurable,5 devices in parallel,equivalent value 10.4 uF |
| C2002 | C-CER1206 | 2 | 22 n | 0.00% | 0.00% | | 100.00% | 100.00% | Capacitor Test,Value |

Bildquelle: Zollner Elektronik AG

## Digitalisierte Schaltplan

- Darstellung der Testergebnisse im Schaltplan

| Layout test coverage | |
|---|---|
| Not tested | 0.00 - 9.99% |
| Partially tested | 10.00 - 90.00% |
| Well tested | 90.01 - 100% |
| Power/Ground/NC | for electrical tests |
| not mounted | |
| Test coverage at the level of devices and pins | |

Bildquelle: Zollner Elektronik AG

1 Research & Development

2 DFX – Design for Exellence

3 DFM – Design for Manufacturing

4 DFT – Design for Testability

5 DFA – Design for Assembly

6 Vorteile für den Kunden

# DFA Definition

## Unter DFA versteht man

- die Analyse der Fertigungsschritte eines bestehenden Produkts
- die Berücksichtigung von manuellen und automatischen Montagetätigkeiten
- die Einhaltung des Prokon Regelwerks zur Produktentwicklung

**ProKon Design Rules =** Methode für **Pro**duktionsgerechte **Kon**struktion

© Deutsche MTM-Vereinigung e. V.

MTM steht für Methods-Time Measurement

Bildquelle: Zollner Elektronik AG

# DFA Beispiele für Verbesserungen

**Ausgangszustand**

- Unterschiedliche Schraubentypen werden verwendet
- Unterschiedliche Bits werden benötigt

**Empfehlung**

➔ Nur einen Schraubentyp verwenden

Bildquelle: Zollner Elektronik AG

# DFA Beispiele für Verbesserungen

**Ausgangszustand**

Das Kabel kann beschädigt werden

**Empfehlung**

➔ Kabelfixierung zur Vermeidung von Schäden

Bildquelle: Zollner Elektronik AG

# DFA Beispiele für Verbesserungen

**Ausgangszustand**

- Wenig Raum für korrekte Steckverbindung zur Verfügung
- Beschädigung anderer Bauteile möglich

**Empfehlung**

- ggf. Verwendung eines anderen Steckertyps
- Redesign

Bildquelle: Zollner Elektronik AG

# DFA bzgl. Arbeitsplatz-Konzepte

**Arbeitsplatz (Workflow) Konzept**

- In einer DFA werden auch Transport- und Arbeitsabläufe betrachtet
- Punkte wie Erreichbarkeit, Ergonomie, Handling, Verpackung spielen eine wichtige Rolle
- Erfüllung der Kundenanforderungen (technische Sauberkeit, …)

Bildquelle: Zollner Elektronik AG

# DFA bzgl. Arbeitsplatz-Konzepte

Bildquelle: Zollner Elektronik AG

# DFA bzgl. Arbeitsplatz-Konzepte

Bildquelle: Zollner Elektronik AG

# DFA bzgl. Arbeitsplatz-Konzepte

Bildquelle: Zollner Elektronik AG

1 Research & Development

2 DFX – Design for Exellence

3 DFM – Design for Manufacturing

4 DFT – Design for Testability

5 DFA – Design for Assembly

6 Vorteile für den Kunden

## Vorteile für den Kunden

**DFM :**

- Überprüfung von Aspekten bzgl. der Fertigbarkeit
- Aufzeigen von Showstoppern / Kostentreiber
- Prüfen ob korrekte Bauteilgrößen bestückt werden (SMD&THT Pick and Place)

**DFT :**

- Verbesserungen im Schaltplan und PCB Design werden aufgezeigt
- Vorschlag zur idealen Teststrategie
- Das Ergebnis kann verwendet werden um ppm Raten im Vorfeld zu ermitteln

**DFA :**

- Reduzierung der Werkzeuge
- Ökonomische Aspekte der Fertigung und Bestückung werden betrachtet
- Mögliche Fehlerquellen werden vor dem Start der Serienproduktion aufgedeckt

# Fazit

**Fazit zu DFX:**

- Produktoptimierungen werden bereits in der Designphase vorgenommen
- Reduzierung von Fehler- bzw. Schrottbaugruppen
- Minimierung von Redesigns, da bereits vor dem echten Produkt Fehler beseitigt werden können
- Lücken in der Testabdeckung können im Vorfeld geschlossen werden

**Optimierung des Produktdesigns „von Anfang an“ ist der optimalste Weg um Zeit, Kosten und Qualität nachhaltig zu beeinflussen!**

## Vielen Dank für Ihr Interesse ...

**Markus Biener**
C.I.D. / C.I.D.+ Trainer
Head of PCB Design & Layout
Zollner Elektronik AG

Tel.: +49 9944 201-189
markus_biener@zollner.de

**SOLUTIONS FOR YOUR IDEAS**