

# Technologie Roadmap

## Stressarme MST-Packages

Trends, Perspektiven, Herausforderungen





### Impressum

#### Technologie Roadmap

#### Stressarme MST-Packages

Trends, Perspektiven, Herausforderungen

Herausgeber:

ZVEI - Zentralverband Elektrotechnik- und Elektronikindustrie e.V.

Fachverband Electronic Components and Systems

Lyoner Straße 9

60528 Frankfurt am Main

Telefon: +49 69 6302-276

Fax: +49 69 6302-407

E-Mail: [zvei-be@zvei.org](mailto:zvei-be@zvei.org)

[www.zvei.org](http://www.zvei.org)

Verantwortlich:

Dr. Sven Baumann

Oktober 2013

Trotz größtmöglicher Sorgfalt übernimmt der ZVEI keine Haftung für den Inhalt. Alle Rechte, insbesondere die zur Speicherung, Vervielfältigung und Verbreitung sowie der Übersetzung, sind vorbehalten.



VDE/VDI-Gesellschaft Mikroelektronik, Mikrosystem- und Feinwerktechnik

Stresemannallee 15

60596 Frankfurt am Main

Telefon: +49 69 6308-227

Fax: +49 69 6398-9828

E-Mail: [gmm@vde.com](mailto:gmm@vde.com)

[www.vde.com](http://www.vde.com)



# Vorwort zur AVT-Roadmap

Sehr geehrte Leserinnen und Leser,

wir sind es heute gewohnt, mit durchschnittlich sechs bis sieben mit dem Internet verbundenen Geräten unser tägliches Leben zu gestalten. Experten meinen, dass wir im Jahr 2022 bereits 50 derartiger Geräte täglich benutzen und so die Kommunikation auf unsere unmittelbare und fernere Umgebung ausweiten werden. Ob es nun nötig ist, unsere Glühlampen mit dem Smart Phone ein- und auszuschalten, sei dahingestellt, aber es wird zukünftig üblich sein, mit Hilfe von Apps Geräte zu bedienen oder Informationen von ihnen zu erhalten. Dieser prognostizierte Trend ist nur möglich, wenn Gegenstände unterschiedlichster Provenienz mit geeigneten Sensoren ausgestattet sind. Es ist also nicht verwunderlich, dass die Realisierung des Internets der Dinge entscheidend von der Bereitstellung von Sensorik und Mikrosystemtechnik abhängig ist und geradezu eine Renaissance dieser Technologien bewirkt. Es gibt fundierte Aussagen von internationalen Firmen wie z. B. Apple, Bosch, IBM, TI, hp, die von einem weltweiten Bedarf von einer Billion ( $10^{12}$ ) Sensoren p. a. bereits im Jahr 2018 ausgehen (Dr. Janusz Bryzek: ‚Roadmap for the Trillion Sensor Universe‘). Das Internet der Dinge wird zu einem ‚schwarzen Loch‘ für Sensoren, Mikrosystemtechnik und insgesamt für Lösungen aus dem Bereich der ‚More than Moore-Technologien‘ und dies nicht nur infolge unseres privaten Bedarfs, sondern vor allem, um unsere gesellschaftlichen Bedürfnisse im Bereich der Gesundheit, Sicherheit, Mobilität und Energie technisch zu lösen.

Es wird in unserem Land oft die Meinung vertreten, dass das Internet der Dinge und Cyber-Physical-Systems vorwiegend Softwarelösungen erfordern und die Hardware mit mikroelektronischen Standardprodukten realisiert werden kann. Man sollte aber bei dieser Denkweise berücksichtigen, dass Produkte aus Deutschland nur dann eine weltweite

Spitzenposition erreicht haben, wenn sie über eine intelligente Software und gleichzeitig über eine spezielle und angepasste Hardwarelösung verfügen. Wir dürfen jetzt in der Mikro- und Nanoelektronik nicht den Fehler machen, diese Basis für eine optimale Systementwicklung zu verlassen. Genau das Gegenteil ist jetzt erforderlich, wir müssen unsere Hardwareentwicklungen im Bereich der Sensorik, der Spezialprozessoren, der drahtlosen Nahfeldkommunikation, der Energieversorgung autarker Systeme und insgesamt bei den ‚More than Moore-Technologien‘ in Deutschland und Europa intensivieren, um auch in Zukunft optimale und konkurrenzfähige Systemlösungen anbieten zu können.

Deutschland hat vor mehr als 30 Jahren mit unzähligen industriellen und wissenschaftlichen Aktivitäten auf dem Gebiet der Mikrosystemtechnik die Weichen für diese Zukunft gestellt. Auf dem Weltmarkt nimmt Deutschland derzeit im Bereich der Mikrosysteme sowie der Mikroelektronik und -Systeme (‚More than Moore‘) eine führende Position ein. Diese gewinnt durch den zunehmenden Automatisierungsbedarf der deutschen und europäischen Produktions- und Automobiltechnik – auch im Hinblick auf die Ziele von ‚Industrie 4.0‘ sowie den wachsenden Einsatz von Mikrosystemen in der Medizintechnik – weiter an Bedeutung. Die Mikrosystemtechnik leistet als eine der Schlüsseltechnologien (‚key enabling technology‘) einen wesentlichen Beitrag zur Wettbewerbsfähigkeit der deutschen Industrie, insbesondere auch im Zeitalter des Internets der Dinge und ermöglicht die Schaffung und Sicherung zukunftsorientierter Arbeitsplätze in Deutschland.

Nicht zuletzt macht es das Internet der Dinge erforderlich, dass in Deutschland die erfolgreiche industrielle und institutionelle Forschung und Entwicklung beibehalten und aus-

gebaut wird, um weiterhin als globaler Player im Bereich der Mikrosystemtechnik bestehen zu können. Eine unzureichende finanzielle Ausstattung der nationalen F&E wird sich negativ auf die gesamte Wertschöpfungskette in allen Industriebranchen auswirken. Nachhaltig beeinträchtigt wären unter anderem die Branchen Automotive, Maschinen- und Anlagenbau, Automatisierungstechnik und auch Medizintechnik. Dadurch würde die deutsche Partizipation an den technischen Megatrends, wie zum Beispiel der Steigerung der Mobilität (kleiner, leichter, transportabler) und Energieeffizienz (kleiner, leichter, weniger Ressourcenverbrauch) in Frage gestellt. Eine unmittelbare negative Auswirkung auf die Wettbewerbsfähigkeit der deutschen Industrie wäre zu erwarten.

Die Aufbau- und Verbindungstechnik (AVT) spielt im Rahmen zukünftiger Produkte und insbesondere bei Smart Sensor Systemen eine wichtige und entscheidende Rolle. Sie bestimmt weitgehend die Funktionalität, Qualität und Wirtschaftlichkeit elektronischer Systeme. Zudem wird ihre Bedeutung zukünftig durch steigende Anforderungen der Anwendungen und durch die Notwendigkeit der Integration von Mikro- und Nanoelektronik in Produkte unseres täglichen Lebens weiter wachsen und somit zu einem erheblichen Forschungs- und Entwicklungsbedarf führen. Um hierbei die Entscheidungsträger innerhalb aber auch außerhalb der Industrie zu unterstützen, hat ein gemeinsames GMM/ZVEI-Gremium aus ehrenamtlich aktiven Industrie- und Hochschulvertretern die Ihnen vorliegende Roadmap erstellt.

Da die Wettbewerbsfähigkeit der inländischen Industrie direkt von der ausreichenden Verfügbarkeit von Fachkräften und Ingenieuren in den relevanten Bereichen abhängig ist, wird eine Unterstützung und Förderung dieser Personengruppe von großer Bedeutung für die kommenden Jahre sein. Eine wichtige

Aufgabe ist es auch, die Potentiale und die Kreativität von Frauen für technologische Aufgaben angemessener als bisher geschehen zu erschließen.

Die Erstellung der vorliegenden Roadmap ist ein Beweis dafür, dass gute und engagierte Verbandsarbeit für die Industrie wertvoll und attraktiv ist und die Industrie unterstützt, so dass sich diese im internationalen Wettbewerb gestärkt behaupten kann.

Ich wünsche Ihnen eine interessante Lektüre, viele Anregungen und viel Spaß beim Lesen.

Mit besten Grüßen

Prof. Dr.-Ing., Dr.-Ing. E. h.  
Herbert Reichl

Universitätsprofessor und Leiter  
des Fraunhofer-IZM im Ruhestand



# Vorwort der Initianten

Die Fachabteilung ‚Aufbau- und Verbindungstechnik‘ (AVT) der Fachgruppe Mikrosystemtechnik (MST) im ZVEI hat in den Jahren 2008 bis 2012 fünf AVT-Expertentreffen zum Thema ‚Stressarme MST-Packages‘ durchgeführt. Durch die dabei beobachteten rasanten technischen Entwicklungen wurden die beteiligten Experten angeregt, ihre bisherigen Aktivitäten durch die Erstellung einer aktuellen Roadmap zum Thema ‚Stressarme MST-Packages‘ zu erweitern. Die Initiative des ZVEI wird vom Fachbereich 5 ‚Aufbau-, Verbindungs- und Leiterplattentechnik‘ der VDI/VDE-Gesellschaft GMM mit getragen.

Wir konnten ein Team von Fachleuten gewinnen, die sich an der Erstellung der AVT-Roadmap beteiligen und sich aktiv in die Gestaltung und Ausarbeitung eingebracht haben. Hierdurch ist es gelungen, die Struktur der Roadmap zum ZVEI Expertentreffen am 3 bis 4. Dezember 2012 fertig zu stellen. Das Konzept wurde dann auf dem Workshop durch intensive Gruppenarbeit zu Themen wie Prozesse, Materialien, Prüftechniken, Modellierung, Simulation und Anwendungen vertieft. Hierdurch ergab sich der Startpunkt für die weitere Ausarbeitung in Berichtsform

durch ein Kernteam und die hiervon angeleiteten Experten. Das Ergebnis dieser intensiven Arbeit innerhalb der ersten drei Quartale des Jahres 2013 finden sie in dem Ihnen vorliegenden Band.

Wir hoffen Ihnen mit dem Werk einen Einblick in die derzeit laufenden Entwicklungen der Aufbau- und Verbindungstechnik für Mikrosysteme geben zu können. Wegen der starken Konvergenz der Anwendungen und Technologien ist die Roadmap nicht streng auf die ‚klassische‘ AVT der MST beschränkt. Daher wurden Gebiete wie leiterplattenbasierte Technologien und Aufbautechniken der Leistungselektronik mit einbezogen. Wichtigster Teil der Roadmap sind natürlich die Zukunftsperspektiven. Wie auf jedem Gebiet ist eine Prognose mit Unsicherheiten versehen. Wir sind aber überzeugt, einen insgesamt verlässlichen Ausblick auf die Zukunft der Aufbau- und Verbindungstechnik der nächsten Jahre geben zu können. Wir hoffen, dass es somit gelingt, Entscheidungen zu Forschung, Entwicklung und Technologiestrategie, die in Industrie und Politik zu treffen sind, auf eine solide Basis zu stellen.

**Albert Birkicht**

Vorsitzender  
der Fachabteilung AVT  
der Fachgruppe Mikrosystemtechnik (MST)  
im ZVEI

**Prof. Jürgen Wilde**

Leiter des Fachbereichs 5  
‚Aufbau-, Verbindungs- und Leiterplattentechnik‘  
der VDI/VDE-Gesellschaft GMM

# ZVEI-Roadmap Stressarme MST-Packages: Vorstellung Kernteam

An der Erstellung der vorliegenden Roadmap haben die folgenden Mitglieder des sogenannten Kernteams maßgeblich mitgewirkt:



**Albert Birkicht**

Geschäftsführer Harting AG  
Vorsitzender der Fachabteilung  
'Aufbau und Verbindungstechnik'  
der Fachgruppe Mikrosystemtechnik  
im ZVEI  
Vorstandsmitglied Forschungs-  
vereinigung Räumliche Elektronische  
Baugruppen 3-D MID e. V.



**Prof. Dr. Jürgen Wilde**

IMTEK – Institut für  
Mikrosystemtechnik,  
Albert-Ludwigs-Universität Freiburg  
Leiter des Fachbereichs 5 der GMM,  
'Aufbau- und Verbindungstechnik,  
Leiterplattentechnik' und Vorsitzender  
des GMM-Fachausschusses AVT



**Prof. Dr.-Ing. habil.  
Hans-Jürgen Albrecht**

Senior Key Expert Engineer  
Siemens AG



**Dr.-Ing. habil. Markus Detert**

Otto-von-Guericke Universität  
Magdeburg  
Institut für Mikro- und Sensorsysteme  
Mitglied des Fachausschusses Aufbau-  
und Verbindungstechnik der GMM  
2. Vorsitzender IMAPS Deutschland e. V.



**Dr.-Ing. Günter Kowalski**

Unternehmensconsulting &  
Projektmanagement  
Früher leitende Positionen  
bei Philips Semiconductors  
bzw. NXP Semiconductors.  
Jetzt beratend tätig und in  
verschiedenen Fachgremien u. a.  
des ZVEI und VDE/VDI aktiv.



**Michael Pfeffer**

Lehrstuhl für  
Fertigungsautomatisierung und  
Produktionssystematik (FAPS),  
Friedrich-Alexander-Universität  
Erlangen-Nürnberg



**Prof. Dr. rer. nat.  
Bertram Schmidt**

Institut für Mikro- und Sensorsysteme,  
Fakultät für Elektro- und  
Informationstechnik,  
Otto-von-Guericke-Universität  
Magdeburg  
Vorsitzender des GMM-Fachaus-  
schusses 4.3 Sensorik der GMM  
Mitglied des Fachausschusses Aufbau-  
und Verbindungstechnik der GMM

# Danksagung

Wir, das Kernteam der AVT-Roadmap, möchten uns an dieser Stelle bei all denjenigen bedanken, die uns während der Anfertigung dieser Roadmap durch die Überlassung von Grafiken und Bildern, das Beitragen von Textpassagen sowie durch Gespräche, Diskussionen, Informationen aber auch durch das Gegenlesen von Texten unterstützt und motiviert haben. Ganz besonders gilt dieser Dank:

**Benjamin Lemke**

Endress+Hauser GmbH+Co KG, Stahnsdorf

**Henning Mieth**

First Sensor AG, Berlin

**Dr. Sven Rzepka**

Fraunhofer Institut für Elektronische anosysteme (ENAS), Chemnitz

**Dr. Maik Wiemer**

Fraunhofer Institut für Elektronische Nanosysteme (ENAS), Chemnitz

**Max Hermann Poech**

Fraunhofer Institut für Siliziumtechnologie (ISIT), Itzehoe

**Karl-Friedrich Becker**

Fraunhofer Institut für Zuverlässigkeit und Mikrointegration (IZM), Berlin

**Dr. Martin Schneider-Ramelow**

Fraunhofer Institut für Zuverlässigkeit und Mikrointegration (IZM), Berlin

**Dr. Thomas Schreier-Alt**

Fraunhofer Institut für Zuverlässigkeit und Mikrointegration (IZM), Berlin

**Dr. Olaf Wittler**

Fraunhofer Institut für Zuverlässigkeit und Mikrointegration (IZM), Berlin

**Michael Graetz**

Harting AG Mitronics, Biel, Schweiz

**Anton Z. Miric**

Heraeus Materials Technology GmbH & Co. KG, Hanau

**Das Kernteam**

Albert Birkicht

Prof. Dr. Hans-Jürgen Albrecht

Dr. Günter Kowalski

Prof. Dr. Bertram Schmidt

**Dr. Wolfgang Eberhardt,**

HSG-IMAT

Hahn-Schickard-Gesellschaft –

Institut für Mikroaufbautechnik, Stuttgart

**Ph. Dr. Apo van der Wiel**

Melexis Microelectronic Integrated, Tessenderlo, Belgien

**Dr. Heinz-Gerd Graf**

Institut für Mikroelektronik Stuttgart (IMS CHIPS), Stuttgart

**Prof. Dr. Sören Hirsch**

Otto-von-Guericke-Universität Magdeburg, Magdeburg

**Gerhard Tritt**

Seuffer GmbH & Co. KG, Calw

**Dr. Jan Kostelnik**

Würth Elektronik GmbH, Rot am See

**Dr. Ronald Schnabel**

VDE/VDI-Gesellschaft Mikroelektronik, Mikrosystem- und Feinwerktechnik

**Dr. Sven Baumann**

ZVEI - Zentralverband Elektrotechnik- und Elektronikindustrie e. V., Frankfurt am Main

**Patricia Lutz**

ZVEI - Zentralverband Elektrotechnik- und Elektronikindustrie e. V., Frankfurt am Main

Prof. Dr. Jürgen Wilde

Dr. Markus Detert

Michael Pfeffer

# Inhaltsverzeichnis

<b>I.</b>	<b>Applikationen und applikationsspezifische Packagingkonzepte</b>	<b>12</b>
<b>I.1</b>	<b>Einführung und Grundlagen</b>	<b>12</b>
<b>I.2</b>	<b>Fokussierung der Applikationsfelder</b>	<b>13</b>
<b>II.</b>	<b>Design und Verifikation, Modellierung und Simulation, Test</b>	<b>17</b>
<b>II.1</b>	<b>Grundlagen, Ausgangslage und Märkte</b>	<b>17</b>
II.1.1	Grundlagen	17
II.1.2	Ausgangslage	17
II.1.3	Märkte	18
II.1.4	Nicht berücksichtigte Themen	20
<b>II.2</b>	<b>Einschätzung und Erwartungen der Anwender</b>	<b>21</b>
II.2.1	Entwicklungstrends der letzten fünf Jahre	21
II.2.2	Entwicklungstrends bis 2022 aus Anwendersicht	21
II.2.3	Weitere Anforderungen und Entwicklungstendenzen bis 2022	25
<b>II.3</b>	<b>Design und Verifikation</b>	<b>25</b>
II.3.1	Design	25
II.3.2	Verifikation	26
II.3.3	Kommerzielle Tools für Design und Verifikation	26
II.3.4	Zusammenfassung Design und Verifikation	27
<b>II.4</b>	<b>Modellierung und Simulation</b>	<b>28</b>
II.4.1	Allgemeine Anforderungen von Modellierung und Simulation an das Packaging	28
II.4.2	Werkzeuge für Modellierung und Simulation	29
II.4.3	Zukünftige Herausforderungen an Modellierung und Simulation	30
II.4.4	Zusammenfassung Modellierung und Simulation	32
<b>II.5</b>	<b>Test</b>	<b>33</b>
II.5.1	Anforderungen an Testverfahren für MST-Packages	33
II.5.2	Zusammenfassung Test	35
<b>III.</b>	<b>Materialien</b>	<b>36</b>
<b>III.1</b>	<b>Anforderungen an Materialien in der AVT</b>	<b>36</b>
<b>III.2</b>	<b>Erwartungen der Anwender</b>	<b>38</b>
<b>III.3</b>	<b>Entwicklungstrends der letzten Jahre bei AVT-Materialien</b>	<b>38</b>
<b>III.4</b>	<b>Prognosen bis 2022</b>	<b>39</b>
III.4.1	Schaltungsträger (Substrate, Leiter- und Funktionsstrukturen)	40
III.4.2	Verbindungstechniken (Assembly und Kontaktierung)	44
III.4.3	Einhausung (Gehäusestrukturen und Stecker)	47
III.4.4	Modellierung von Materialien	51

<b>IV.</b>	<b>AVT-Verfahren</b>	52
<b>IV.1</b>	<b>Prozesse der AVT und deren allgemeine Anforderungen</b>	54
<b>IV.2</b>	<b>Derzeitiger Stand und Entwicklungstrends der letzten fünf Jahre</b>	55
IV.2.1	AVT-Verfahren für hochbeanspruchte Elektronikbaugruppen	55
IV.2.2	Überführung von Prozessen des Prototypings zu serientauglichen Produktionsprozessen (Rapid Manufacturing)	59
IV.2.3	AVT-Verfahren für miniaturisierte Baugruppen und Anschlussstrukturen	60
IV.2.4	Entwicklung von AVT-Verfahren für räumliche Schaltungsträger	61
<b>IV.3</b>	<b>Herausforderungen und Entwicklungstrends bis 2022</b>	61
IV.3.1	AVT-Verfahren für hochbeanspruchte Elektronikbaugruppen	61
IV.3.2	AVT-Verfahren für miniaturisierte Baugruppen und Anschlussstrukturen	63
IV.3.3	Neue Prozesse für neue Materialien	64
IV.3.4	Funktionalisierung der Baugruppen	65
IV.3.5	Serienflexible Anlagenkonzepte	66
<b>IV.4</b>	<b>Zusammenfassung</b>	67
<b>V.</b>	<b>Qualifizierung und Charakterisierung</b>	69
<b>V.1</b>	<b>Derzeitiger Stand und Entwicklungstrends der letzten fünf Jahre</b>	69
V.1.1	Verschärfte Anforderungen an die Qualität	69
V.1.2	Testmethoden	70
V.1.3	Analysen der Ausfallmechanismen	71
V.1.4	Theoretische Vorhersage der Ausfallmechanismen	71
<b>V.2</b>	<b>Zukünftige Entwicklungstrends</b>	74
V.2.1	Allgemeine Trends	74
V.2.2	Analysentechnik	75
V.2.3	Simulation von Zuverlässigkeitstests	75
V.2.4	Mess- und Prüftechnik	77
V.2.5	Qualitätssicherung auf Waferenebene	78
V.2.6	Selbsttestende Bauelemente und Systeme	79
V.2.7	Erweiterung des Qualitätsbegriffes	81
V.2.8	Lebensdauervorhersagen	83
<b>V.3</b>	<b>Zusammenfassung</b>	84
<b>VI.</b>	<b>Literaturverzeichnis</b>	86
<b>VII.</b>	<b>Glossar</b>	89

# Executive Summary

Der allgemeine Trend zur Miniaturisierung und weiterem Funktionalitätszuwachs stellen kontinuierlich neue Anforderungen bei der Nutzung konstruktiv-technologischer Lösungen für die Realisierung elektronischer Baugruppen und Systeme, wobei ein zunehmender Trend hin zu Systemlösungen an Stelle von Einzelprodukten besteht. Hinzu kommt, dass die Zunahme der Individualisierung in der Gesellschaft auch zu einer verstärkten Individualisierung in der Nachfrage führt, d. h. zu einer höheren Produktvielfalt und Variantenzahl.

Die funktionale Diversifizierung der Systeme erfolgt vielfach bereits über die implementierte Software. Hierzu muss jedoch auch die Performance der Hardware durch leistungsfähige Prozessoren und mehr Speicher in gleichzeitig verkleinerten Chips gesteigert werden. Dieser Trend in der monolithischen Integration wird als ‚More Moore‘ bezeichnet.

Zur Erschließung neuer Funktionalitäten ist jedoch die Integration spezieller Bauelemente und Funktionen wie z. B. MEMS, Analogschaltkreise, RF-, Hochvolt- und Power-Bauelementen etc. notwendig. Dazu ist eine hybride Systemintegration unter Ausschöpfung der technologischen Möglichkeiten der Aufbau- und Verbindungstechnik auf den Integrationssebenen vom Chip bis zur Baugruppe notwendig. Dieser Trend wird mit dem Schlagwort ‚More than Moore‘ gekennzeichnet. Solche, durch Komplexität höherwertige Systeme werden zukünftig durch eine höherstufige Integration von Subsystemen realisiert, bei der die traditionellen Systemebenen verschmelzen und zugleich drastisch erhöhte Anforderungen an das Packaging gestellt werden.

Sehr deutlich ist dies an dem hochinnovativen und für Deutschland und Europa extrem wichtigen Markt der Sensoren und Aktoren zu erkennen, die insbesondere in Automobilen und Industrieelektronik zum Einsatz kommen.

Die aktuellen und zukünftigen Steigerungsraten in diesen Segmenten sind dabei deutlich höher als das allgemeine Wirtschaftswachstum.

Welche Herausforderungen ergeben sich dadurch nun an Forschung und Entwicklung?

Neue Designtechnologien müssen die Schaffung höchst komplexer und kosteneffektiver Systeme ermöglichen. Design auf Systemebene, das alle Systemanforderungen einschließlich Chip/Package/Board Co-Design berücksichtigt, muss ermöglicht werden. Es setzt aber die Entwicklung von Tools für die Verifikation heterogener Systeme voraus, z. B. die Kombination von Mikrosystemtechnik, Leistungselektronik und digitalen Komponenten. Die Erhöhung der Systemkomplexität erfordert zum Beispiel die Kopplung von Einflüssen, die bisher singulär betrachtet wurden, also zum Beispiel die Verknüpfung elektrischer und thermomechanischer Simulationen in einem Modell. Hierbei ist die Verknüpfung zwischen Verbindungstechnologien und Design erforderlich, also die simultane Simulation von Verbindungstechnik und Packaging.

Bei der Entwicklung von Technologien für das Packaging in der Mikrosystemtechnik ist zu berücksichtigen, dass AVT-Konzepte, Materialien und Prozesse in unmittelbarer Wechselwirkung miteinander stehen. Eine unabhängige Betrachtung und Optimierung einer dieser drei Elemente ist bei komplexen Systemen nicht mehr sinnvoll. Ausgehend von Designtechnologien für komplexe Systeme müssen natürlich auch die einzelnen Bausteine dieser Systeme weiterentwickelt und deren Wechselwirkungen erforscht werden. Schwerpunkte sind hierbei die Entwicklung von alternativen AVT-Verfahren für hoch beanspruchte und weiter miniaturisierte MST-Packages mit hochdichten Anschlussstrukturen. Aufgrund der weitergehenden Ausbreitung von Elektro-

nik in hoch beanspruchten Umgebungen, ist insbesondere auch die Hochtemperaturfestigkeit eine große Herausforderung. Sie erfordert nicht nur neue Verfahren, sondern auch entsprechend adaptierte, neue Materialien.

Neue Konzepte für die Elemente und Subsysteme lassen sich nur realisieren, wenn parallel auch die Fertigungsprozesse und Anlagentechniken zu Ihrer Herstellung Schritt halten. Aufgrund der stetig wachsenden Komplexität der herzustellenden MST-Packages ist hierbei insbesondere die Modularisierung der Anlagentechnik für die Integration neuer Prozesse, Funktionen und Komponenten ein Schwerpunkt. Weitere Schwerpunkte der Prozesstechnologien sind verringerte Fehlerraten, kleinere Bauteile und die Beherrschung von Kleinstserien. Eine Voraussetzung hierzu sind masken- und werkzeuglose Prozesse, wie beispielsweise berührungslose Drucktechniken oder die Laserstrukturierung.

Weiterhin wurde ein enormer Bedarf an Standardisierung detektiert. Heutzutage entsteht mangels Standardisierung ein hoher, vermeidbarer Aufwand entlang der gesamten Wertschöpfungskette. So werden zum Beispiel Materialien unterschiedlich charakterisiert oder wichtige Eigenschaften werden von den Herstellern nicht angegeben, so dass umfangreiche eigene Versuche und Messungen erforderlich sind, um die gesuchten Materialeigenschaften zu ermitteln. Auch sind noch nicht ausreichend standardisierte Tests vorhanden, um Lebensdauern oder Ausfallmechanismen bei der zunehmenden Vielfalt der Anwendungen und Bauformen zu bestimmen. Diese sind aber zwingend notwendig, um die Rückkopplung in die zu Beginn aufgeführten Designtechnologien zu ermöglichen und so den Qualitätsregelkreis zu schließen.

Die vorliegende Roadmap umfasst alle derzeit relevanten Grundfunktionen der Aufbau- und Verbindungstechnik in der MST und betrach-

tet dazu die gesamte Prozesskette mit deren Einzelementen. Diese umfassen Designtechnologien, Materialien, Fertigungsverfahren, Charakterisierung und Qualifizierung. Beim Lesen dieser umfassenden Bestandsaufnahme und Prognose des Stands der Technik wird deutlich, dass ein gewaltiger Forschungs- und Entwicklungsbedarf von Grundlagen bis zu den Anwendungen besteht.

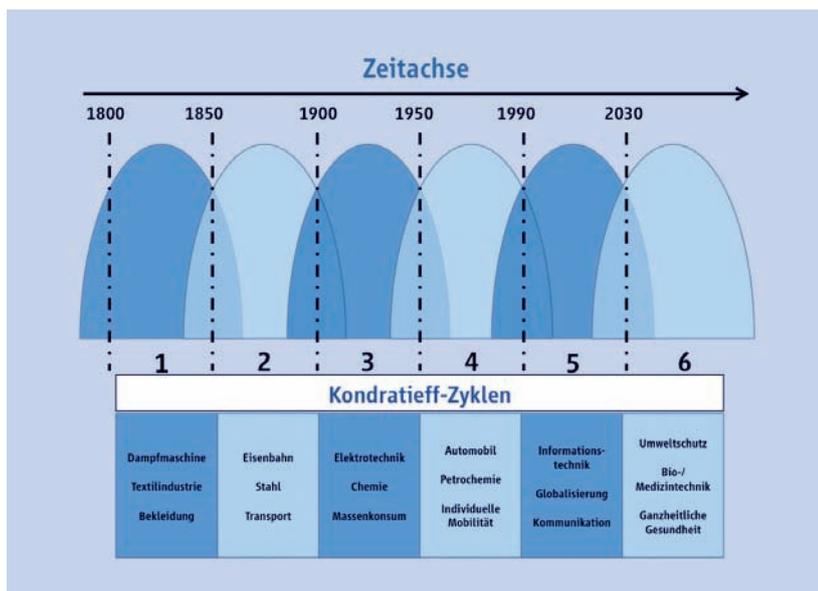
# I. Applikationen und applikationsspezifische Packagingkonzepte

## I.1 Einführung und Grundlagen

Die weltweit ablaufenden Zyklen in der Wirtschaft unterliegen Gesetzmäßigkeiten, die insbesondere in den vergangenen Jahrhunderten bahnbrechende und zukunftsweisende Lösungen und Technologien zielgerichtet und nachhaltig vorangetrieben haben. Die momentane Phase der fünfte und sechste Zyklrunde beinhaltet nicht nur in großem Umfang Elektronik, sondern ist in ihrer Entwicklung gleichzeitig auf das Vorhandensein zuverlässiger Elektronik als einer unabdingbaren Voraussetzung für die weitere Entwicklung angewiesen.

stetig weiterentwickelnden Rahmenbedingungen entsprechend weiter fokussiert. Die Miniaturisierung und der Funktionalitätszuwachs stellen kontinuierlich neue Anforderungen bei der Nutzung geeigneter konstruktiv-technologischer Lösungen für die Realisierung elektronischer Baugruppen und Systeme. Durch die Etablierung und das Vordringen elektronischer Systeme in immer weitere Lebensbereiche und teilweise auch völlig neuartige Anwendungsfelder, sind die Anforderungen an die Widerstandsfähigkeit gegenüber Umwelteinflüssen unter gleichzeitiger Berücksichtigung von Umweltaspekten ebenfalls stetig gewachsen. Die multifaktoriell beeinflussten Anwendungen können nur mit technologisch ausgereiften konstruktiv-technologischen Lösungen zu einer abgestimmten, reproduzierbaren und integrativen Gesamtlösung bei hoher Zuverlässigkeit zusammengeführt werden. Dazu sind entsprechend des für den Anwendungsfall ausgelegten Prozessablaufes die den einzelnen Technologien und Werkstoffen zuzuordnenden Vorteile gezielt miteinander zu verknüpfen [I.2].

Abb. I.1: Kondratieff-Zyklen



Quelle: Nefiodow, L. A.:  
Der sechste Kondratieff: Wege zur  
Produktivität und Vollbeschäftigung im  
Zeitalter der Information, Rhein-Sieg-Verl.,  
Sankt Augustin, 6. Auflage, 2006,  
ISBN 978-3-9805144-5-3, [I.1]

Die in den allgemein verfügbaren Roadmaps von IPC, ITRS, iNEMI, MANCEF u.v.a.m veröffentlichten Trendanalysen haben die Entwicklungstreiber der Elektroindustrie allgemein gut bekannt gemacht. Auf der Bauelementebene sind dafür z. B. Anschlusszahlen (I/Os), Anschlussraster (Pitch), Bauformen (Package Form) und Funktionalität zu benennen. Auf der Anwendungsebene zählen z. B. Volumen, Gewicht, Energieverbrauch, Verlustleistung, Signalgeschwindigkeiten, Datenraten, Komplexität, Funktionalität, Zeiteffizienz und Kosten dazu. In den letzten Jahren haben sich die

Das stetige Vorantreiben der weiteren Entwicklung in der Systemintegration basiert weiterhin auf den folgenden Hauptkriterien:

- Verringerung der Abmessungen und Volumina
- Weitere Erhöhung von Funktionalität
- Zunahme von Schaltfrequenzen
- Weitere Verringerung von Kosten

Während sich die heute festzustellenden Produktlebenszyklen im klassischen Konsumgüterbereich z. T. drastisch weiter verringert haben, nimmt andererseits die Komplexität der Erzeugnisse und Produkte, sowie der für die Herstellungsprozesse erforderlichen Dienstleistungen, kontinuierlich weiter zu. Bei Bewertung dieser Aspekte und unter Berücksichtigung der nachfolgend genannten Faktoren verlängern sich die Entwicklungszeiträume für künftige neuartige Produkte und Erzeugnisse u. U. sehr drastisch [I.3]:

- Zunehmender Trend von Systemlösungen statt Einzelprodukten
- Weitere Verschärfung der Produkthaftungsrisiken
- Verstärkte Individualisierung in der Nachfrage, d. h. höhere Produktvarietät und Variantenzahl
- Größere Technologievielfalt
- Wachsende Notwendigkeit anwendungsnaher Grundlagenforschung
- Zunehmende Berücksichtigung umwelt- und ressourcenschonender Aktivitäten, wie Entsorgung

Die in den nächsten Jahren zu erwartende weitere Miniaturisierung in der Halbleitertechnik und die damit einhergehende kontinuierlich zunehmende Integrationsdichte, führen zusammen mit den stetig wachsenden Kundenforderungen nach höherer Funktionalität zu drei generellen Entwicklungsrichtungen [I.4]:

- Hochminiaturisierte Komponenten und Packages
- Hochintegrierte Single-Chip-Packages (z. B. SoC – System on Chip)
- Multi-technologie-integrierende Packages (z. B. SiP – System in Package, PiP – Package in Package, PoP – Package on Package, u. v. a. m.)

## I.2 Fokussierung der Applikationsfelder

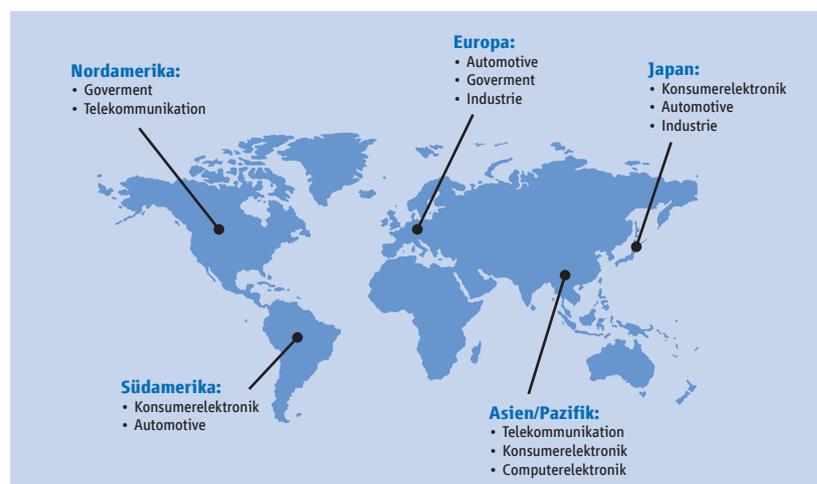
Die Trends in der Systemintegration werden im Detail vorrangig durch die Anforderungskriterien der einzelnen Applikationsfelder beeinflusst. Die zum gegenwärtigen Zeitpunkt ermittelbaren wesentlichen Anforderungskriterien lassen sich wie folgt zusammenfassen:

- Konsumelektronik: mechanische Kleinheit (Volumen), Kosten sowie Funktionalität
- Automobilelektronik: Kosten und Zuverlässigkeit

- Luft- und Raumfahrttechnik: Zuverlässigkeit und Umgebungseinfluss (Environment)
- Industrielektronik: Zuverlässigkeit und Langlebigkeit
- Medizintechnik: Sicherheit und Konformität
- Leistungselektronik (z. B. Wind-Power, Industrieantriebe): Zuverlässigkeit und Environment

Beobachtet man in diesem Zusammenhang die weltweite Fokussierung nach Regionen, so sind durch die Fortschritte in der jeweiligen technologischen Entwicklung sowie der lokalen Nachfrage nach Produkten und Dienstleistungen die in Abb. I.2 gezeigten primären Marktsegmente nachweis- und erklärbar.

**Abb. I.2: Primäre Marktsegmente nach Region**



Quelle: ZVEI: Mikroelektronik – Trendanalyse bis 2017 – Vorstellung langfristiger Trends 2007 – 2012 – 2017, München, 23. April 2013 [I.6] Copyright © entelechie - Fotolia

Eine der wichtigsten Voraussetzungen für die Gestaltung eines zuverlässigen Packages ist die richtige Identifikation des Anforderungsprofils, welches im heutigen Sprachgebrauch u. a. oft auch als ‚Mission Profile‘ bezeichnet wird. Die konstruktiv-technologische Realisierung eines stressarmen Packages setzt die detaillierte Auseinandersetzung mit dem Problemraum unter Berücksichtigung der gewählten Werkstoffe und Verbindungstech-

nologien voraus. So kann durch die Wahl des Integrationsgrades, der Technologieabfolge sowie des Werkstoffes gezielt Einfluss auf die Widerstandsfähigkeit gegenüber Einflüssen aus der späteren Beanspruchung im realen Betrieb genommen werden.

Für die Auseinandersetzung mit den Anforderungen an die konstruktiv-technologischen Lösungen zeigt Tabelle I.1 die für die einzelnen Applikationsfelder vorhandenen vor-

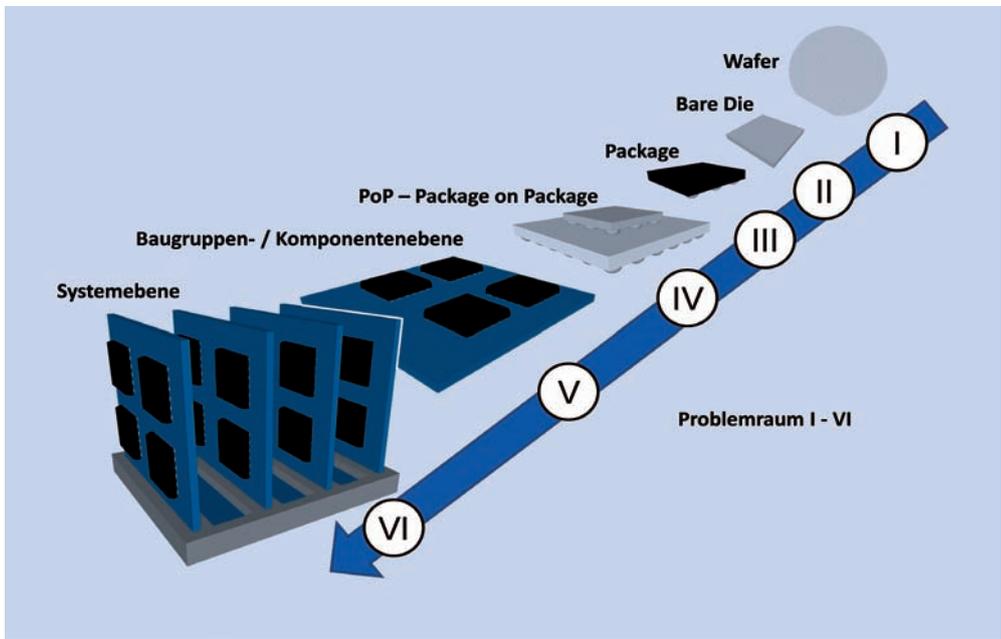
handenen charakteristischen Merkmale an Beispielen und benennt die verwendeten Packagevarianten.

Aus diesem Grund wird die Integrations- und Technologietiefe elektronischer Komponenten durch die Identifikation und Benennung von vorhandenen Problemräumen in Abb. I.3 notwendig, in der die Problemräume I bis VI entsprechend grafisch illustriert sind.

**Tab. I.1: Applikationsfelder und ihre Merkmale**

Marktsegment	Beispiele	Charakteristische Merkmale
Konsumelektronik	Blue-Ray-Player Kamera Computerperipherie Kopfhörer Mobiltelefone	$T_{min}$ : 0 °C - $T_{max}$ : +60 °C Typische Lebensdauer: ein bis drei Jahre Packages: TO, DIL, DIP, SiP, DPAK, QFP, QFN, LGA, BGA, PGA
Kommunikationselektronik	Funktechnik Übertragungstechnik	$T_{min}$ : -40 °C - $T_{max}$ : +85 °C Typische Lebensdauer: ein bis 20 Jahre Packages: TO, DIL, DIP, SiP, DPAK, QFP, QFN, Bare Die
Industrieelektronik	Messgeräte Encoder BUS-Systeme Konfigurationsstecker Überspannungsableiter	$T_{min}$ : -55 °C - $T_{max}$ : +95 °C Typische Lebensdauer: zehn bis 25 Jahre Packages: TO, DIL, DIP, SiP, DPAK, QFP, QFN, LGA, BGA, PGA, Bare Die
Automotive	Getriebesteuerung Gangwahlschalter Assistenzsysteme Lenkstockscharter Displaysysteme	$T_{min}$ : -55 °C - $T_{max}$ : +125 °C Typische Lebensdauer: 15 Jahre Packages: TO, DIL, DIP, SiP, DPAK, QFP, QFN, LGA, BGA, PGA, Bare Die
Medizintechnik	Ventilsteuerung für Beatmungsgeräte Luftstrommessung für Inhaliergeräte Insulinpumpen Blutzuckermessgeräte EKG-Geräte Messpipetten MRT, X-RAY	$T_{min}$ : 0 °C - $T_{max}$ : +60 °C Typische Lebensdauer: ein bis 40 Jahre Packages: TO, DIL, DIP, SiP, DPAK, QFP
Avionic	Steuerungssysteme Sensorik Aktorik	$T_{min}$ : -55 °C - $T_{max}$ : +95 °C Typische Lebensdauer: 20 bis 30 Jahre Packages: TO, DIL, DIP, SiP, DPAK, QFP, QFN, LGA, BGA, PGA, Bare Die
Militär	Radar Navigation Kommunikation Sensorik Aktorik	$T_{min}$ : -55 °C - $T_{max}$ : +95 °C Typische Lebensdauer: zehn bis 30 Jahre Hermetic Packages, Hybrid Packages, TO, SO, DIL, LCC Packages: TO, DIL, DIP, SiP, DPAK, QFP, QFN, LGA, BGA, PGA, Bare Die

**Abb. I.3: Darstellung der Problemräume I bis VI im Electronic Packaging**



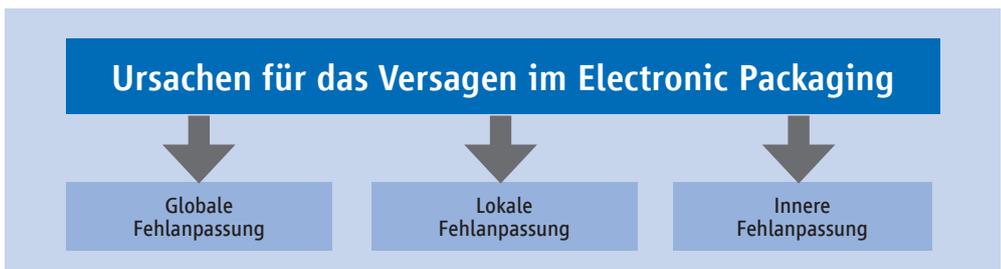
Quelle: Otto-von-Guericke-Universität Magdeburg

Jedes thermisch-mechanische Versagen im Bereich des Electronic Packaging kann prinzipiell einer globalen, lokalen und/oder inneren Fehlanpassung<sup>1</sup> zugeordnet werden (Abb. I.4).

Die Erscheinungsformen, durch die das Versagen aufgrund dieser vorhandenen Fehlanpassung vom Kunden, Hersteller, Anwender o. ä. tatsächlich wahrgenommen werden, sind dagegen sehr viel umfangreicher. Die umfangreichen und zahlreichen Arbeiten auf dem Gebiet der Zuverlässigkeitsbewertung und -prognostik spiegeln diese Situation sehr gut wider.

Bei entsprechender Bewertung können für jeden einzelnen Problemraum präzise Zuordnungen zum Vorhandensein globaler, lokaler und innerer Fehlanpassungen abgeleitet werden (Tabelle I.2). Diese Zuordnung ist im konkreten Anwendungsfall zusätzlich vom individuellen Anforderungskatalog der Applikation abhängig und muss im Rahmen der Lasten- und Pflichtenhefterarbeitung zwingend berücksichtigt werden.

**Abb. I.4: Ursachen für das Versagen im Electronic Packaging**



Quelle: Otto-von-Guericke-Universität Magdeburg

<sup>1</sup> Bei einer globalen Fehlanpassung ist vielfach die gesamte konstruktiv-technologische Lösung ungeeignet. Bei der lokalen Fehlanpassung sind oft hohe Differenzen der thermischen Ausdehnungskoeffizienten zwischen den Verbindungsmaterialien als Ursache für einen Ausfall prägend. Bei der inneren Fehlanpassung sind Störungen und Fehlstellen innerhalb des Werkstoffs bzw. Materials für das Versagen einflussbildend (vgl. für detaillierte Informationen [I.5]).

**Tab. I.2: Zuordnung der Problemräume zu den Fehlanpassungen**

( ● – relevant, ◐ – teilweise relevant, ○ – keine Relevanz )

Problemräume	Innere Fehlanpassung	Lokale Fehlanpassung	Globale Fehlanpassung
I	●	○	○
II	●	●	○
III	○	●	◐
IV	○	●	◐
V	○	◐	●
VI	○	○	●

Diese Zuordnung veranschaulicht dann auch sehr deutlich die Situation, dass etwaige Fehlerursachen aus dem Problemraum I für ein späteres Versagen des Electronic Packaging in den Problemräumen II bis VI verantwortlich sein können. Momentan können aus der Umstellung auf größere Waferdurchmesser in der Halbleiterproduktion wieder vermehrt Probleme und Folgeeffekte identifiziert werden, die auf Grund nicht vollständig abgestimmter Technologieketten später in den Problemräumen II bis VI zu Zuverlässigkeitseinschränkungen führen können. Aus diesem Grund ist jegliche Ausführungsform des Electronic Packaging einer umfassenden Risikoanalyse und -bewertung unter Berücksichtigung des Applikationsfalles zu unterziehen. Die Herangehensweise für das Design for Reliability ist zwar nicht neu, aber erfährt unter der Berücksichtigung sicherheitsrelevanter Applikationen im Bereich Automotive und zunehmend bei den Produkten aus dem Bereich der Gesundheitswirtschaft wieder neue Impulse.

Die Applikationsfelder Consumer, Automotive, Avionic, Industry und Healthcare können so auf die Problemräume I bis VI mit ihren derzeitigen Lösungen im Integrationsgrad des Electronic Packaging analysiert werden. So sind die Integrationsformen mit höheren finanziellen Aufwendungen eher den sicherheitsrelevanten Applikationsfeldern Avionic, Healthcare und Militär vorbehalten. Eine Zuordnung muss hier entsprechend dem Lasten- und Pflichtenheft erfolgen.

# II. Design und Verifikation, Modellierung und Simulation, Test

## II.1 Grundlagen, Ausgangslage und Märkte

### II.1.1 Grundlagen

Für die Erstellung dieses Kapitels wurden verschiedene Unterlagen ausgewertet und relevante Inhalte zusammengeführt. Es wurde eine standardisierte Umfrage bei Anwendern durchgeführt und am 3. bis 4. Dezember 2012 auf dem ZVEI-Workshop ‚AVT-Expertentreffen Stressarme MST Packages‘ [II.1] die Thematik mit Teilnehmern diskutiert. Die Ergebnisse der Umfrage und des Workshops sind in Kapitel II.2 dargestellt. Ebenso wurden der 3. GMM-Workshop ‚Packaging von Mikrosystemen – PackMEMS‘ [II.2] vom 2. Oktober 2012 in Stuttgart, die Studie ‚Sensor-Trends 2014 – Trends in zukunftsorientierten Sensortechnologien‘ [II.3] des AMA-Wissenschaftsrates (AMA Verband für Sensorik und Messtechnik e. V.), sowie der ECPE Workshop ‚Lifetime Modelling and Simulation‘ [II.4] vom 3. bis 4. Juli 2013 in Düsseldorf berücksichtigt. Darüber hinaus wurden einige Berichte der Jahre 2011 und 2012 von ITRS (International Technology Roadmap for Semiconductors) [II.5]

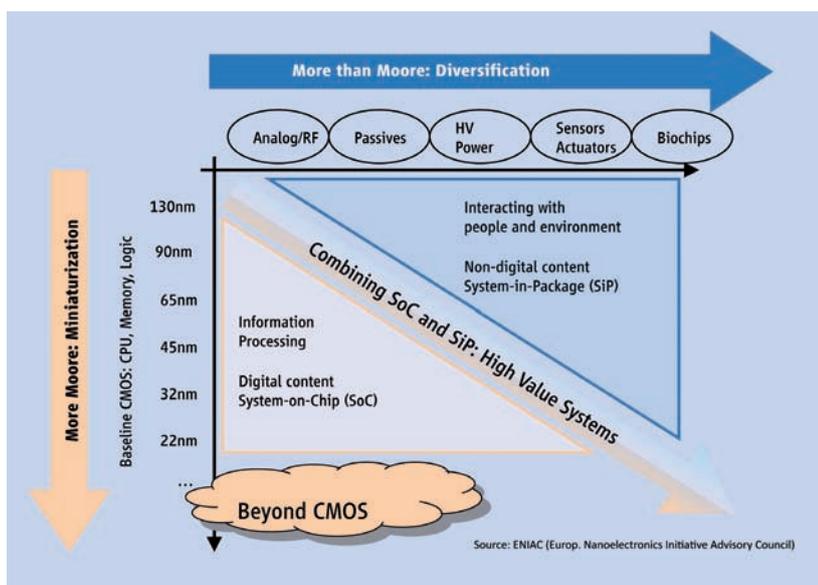
inhaltlich ausgewertet und die Ergebnisse eingearbeitet. Die Marktdaten wurden von WSTS (World Semiconductors Trade Statistics ([www.WSTS.org](http://www.WSTS.org))) und ZVEI ([www.ZVEI.org](http://www.ZVEI.org)) zur Verfügung gestellt [II.6].

### II.1.2 Ausgangslage

Der kombinierte Bedarf an digitalen und nicht-digitalen Funktionalitäten in integrierten elektronischen Systemen hat zu zwei wesentlichen Ausprägungen [II.5, II.7] geführt (siehe Abb. II.1):

1. Eine immer stärkere Miniaturisierung der digitalen, CMOS-basierten Funktionen gemäß dem Moore’schen Gesetz (auch als ‚More Moore‘ oder kurz MM-Bauelemente bezeichnet).
2. Eine funktionale Diversifizierung der Systeme unter Einbeziehung spezieller Bauelemente und Funktionen wie z. B. MEMS, Anlogschaltkreise, RF-, Hochvolt und Power-Bauelemente etc. (auch als ‚More Moore‘ oder kurz MM-Bauelemente bezeichnet).

Abb. II.1: Ausprägungen elektronischer Systeme:



Quelle: Infineon Technologies 2012 [II.7]

Copyright © Infineon Technologies 2012. All rights reserved.

Digitale Funktionen mit immer höherem Miniaturisierungsgrad (More Moore) als SoC (System on Chip, vertikal) sowie nicht-digitale und diversifizierte Funktionalitäten (More than Moore) als SiP (System in Package, horizontal). Die Kombination von SoC und SiP führt zu höherwertigen Systemen und stellt neue Anforderungen an die Aufbau- und Verbindungstechnik.

Die digitalen Funktionen verfügen mit dem Transistor über ein gemeinsames Basiselement, wohingegen für die MtM-Bauelemente, insbesondere bei MEMS, sehr unterschiedliche Technologien und Komponenten eingesetzt werden. Der Trend bei den digitalen Funktionen geht dazu, möglichst alle erforderlichen Funktionselemente eines Systems wie CPU, Speicher, Logik etc. auf einem Chip zu integrieren. Die Integrationstechnologie oder Aufbauweise wird als ‚System on Chip‘, kurz SoC bezeichnet. Für Systeme mit weitergehenden Funktionalitäten aus MtM-Bauelementen geht der Trend in Richtung einer Aufbautechnik im Package (SiP = System in Package). Die zunehmende Systemkomplexität erfordert heute die Integration von digitalen und nicht-digitalen Funktionen, z. B. die gleichzeitige Informationserfassung mit MST-Sensoren und die Informationsverarbeitung mit CMOS-Bauelementen. Solche höherwertigen Systeme werden zukünftig durch Systemintegration von SiP und SoC-Elementen realisiert, wobei hierbei erhöhte Anforderungen an das Packaging gestellt werden. Bei einem weiteren Fortschritt der Technologien und technologischer Kompatibilität ist zu erwarten, dass auch die nicht-digitalen Funktionen direkt in den Chip integriert werden. Damit verschärfen sich die Anforderungen an Design und Verifikation, Modellierung und Simulation sowie an den Test extrem. Bisher sind weder ausreichende Werkzeuge für das Co-Design von Chip und Package bei der Integration digitaler und nicht-digitaler Funktionen vorhanden, noch für deren Verifikation. Auch bei der Modellierung und Simulation werden bisher für die Bauelemente-Entwicklung und für das Packaging unterschiedliche Ansätze verfolgt. Hier gilt es, diese Ansätze in einer Systemebene gemeinsam zu beschreiben und die erforderlichen Werkzeuge dafür zu entwickeln. Bei den Tests müssen Verfahren entwickelt werden, die sowohl die Funktionalität als auch die Leistungsfähigkeit der digitalen und nicht-digitalen Komponenten möglichst auf

Waferebene testen können. Darüber hinaus müssen mögliche Wechselwirkungen zwischen digitalen und nicht-digitalen Bauelementen und den Packages bei einem gemeinsamen Betrieb in einem Gehäuse durch Simulation vorhersagbar sein und bei der Auslegung berücksichtigt werden.

Um die zukünftigen Integrationsstufen als SiP oder in der Kombination SiP mit SoC meistern zu können, sind von Seiten Design und Verifikation, Modellierung und Simulation sowie beim Test eine Reihe von Entwicklungen erforderlich, um die zukünftigen Voraussetzungen dafür zu erfüllen.

### II.1.3 Märkte

Die Hauptmärkte und damit die Technologietreiber für MST-Bauelemente sind:

- Klassische Halbleiter mit einem sehr starken Trend zur Miniaturisierung und zu höherer Komplexität (z. B. Chipstacks, Multichipgehäuse).
- MEMS (Micro-Electro-Mechanical Systems) für Consumer-Produkte, medizinische Anwendungen und Automotive. Als größte treibende Kraft einer weiteren Integration ist der Consumer-Markt zu nennen. Für zukünftige mobile Endgeräte wie z. B. Smartphones und Tablets befindet sich eine ‚Inertial Measurement Unit‘ (IMUT) mit 10 Freiheitsgraden in der Entwicklung (3x Beschleunigung, 3x Drehrate, 3x Magnetfeld, Druck). Die zu erwartende Stückzahl der genannten MEMS-basierten Sensoren soll bereits 2015 mehr als 1,75 Mrd./a betragen.
- Leistungsbaulemente  
Für Leistungen weit über dem Megawatt Bereich (z. B. Windkraftwerke) sind sehr robuste Bauelemente zwingend notwendig. Das Gleiche gilt für Leistungen von etwa zehn bis 100 KW, z. B. für Elektrofahrzeuge. Oft ist eine DC/AC- und AC/DC-Umwandlung notwendig, verbunden mit hohen thermischen Impulsbelastungen. Weiterhin stellt beim Elektrofahrzeug die Unterbringung

der Leistungselektronik z. B. im Radnabenmotor die AVT vor teilweise völlig neue Anforderungen (Feuchte, Radbeschleunigungen, erhöhte Temperatur, geringer verfügbarer Bauraum). Hierfür wird eine zuverlässige AVT-Technik die entscheidende Zukunftstechnologie sein.

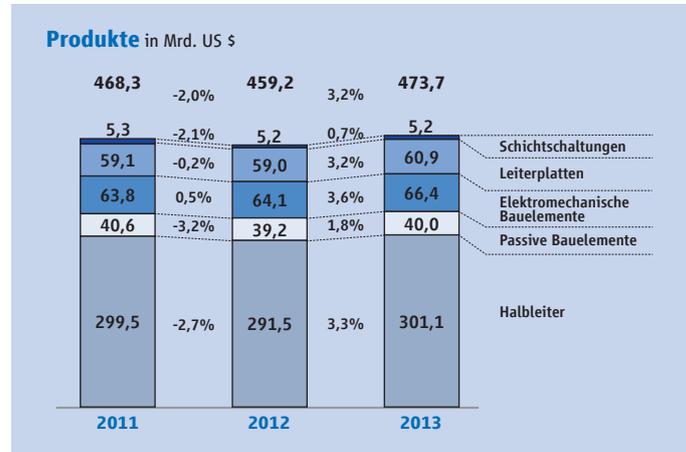
- Mikromechanische Aktuatoren wie Druckköpfe für Tintenstrahldrucker und mikrooptische Bauelemente für Projektoren und Displays.

Diese Aufzählung ist bei weitem nicht vollständig und unterscheidet sich nach dem gewählten Zeithorizont.

Die Bedeutung der MST-Technik lässt sich aus den folgenden Darstellungen ersehen. Abb. II.2 zeigt den Weltmarkt für elektronische Bauelemente. Wie aus der Graphik zu entnehmen ist, stellt der Halbleitermarkt bei weitem mehr als die Hälfte des Marktwertes dar. Das gilt für den Weltmarkt ebenso wie für den deutschen Markt (siehe Abb. II.3).

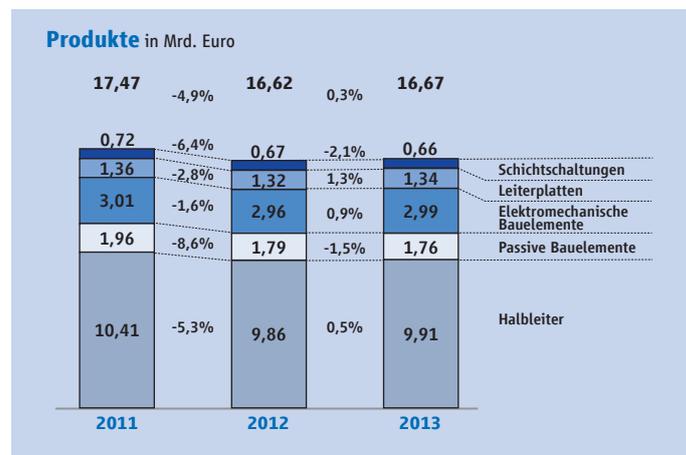
Betrachtet man den Weltmarkt für Halbleiter, aufgliedert nach Regionen (siehe Abb. II.4), so hat die Region Asien/Pazifik den größten Marktanteil. Auch sind dort die Wachstumsraten überdurchschnittlich, wobei in Europa der bereits geringe Marktanteil zukünftig leicht sinkt (Abb. II.5).

**Abb. II.2: Weltmarkt der elektronischen Bauelemente gegliedert nach Bauelemente-Typen**



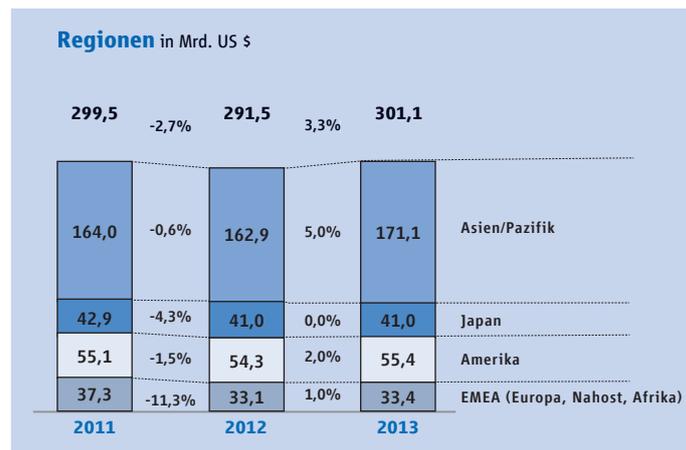
Quelle: WSTS und ZVEI [II.6]

**Abb. II.3: Markt der elektronischen Bauelemente für Deutschland gegliedert nach Bauelemente-Typen**



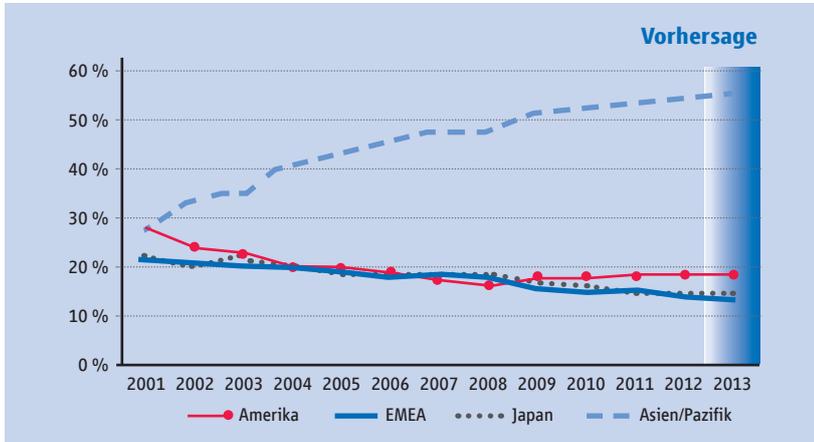
Quelle: WSTS und ZVEI [II.6]

**Abb. II.4: Markt für Halbleiter-Bauelemente gegliedert nach Regionen**



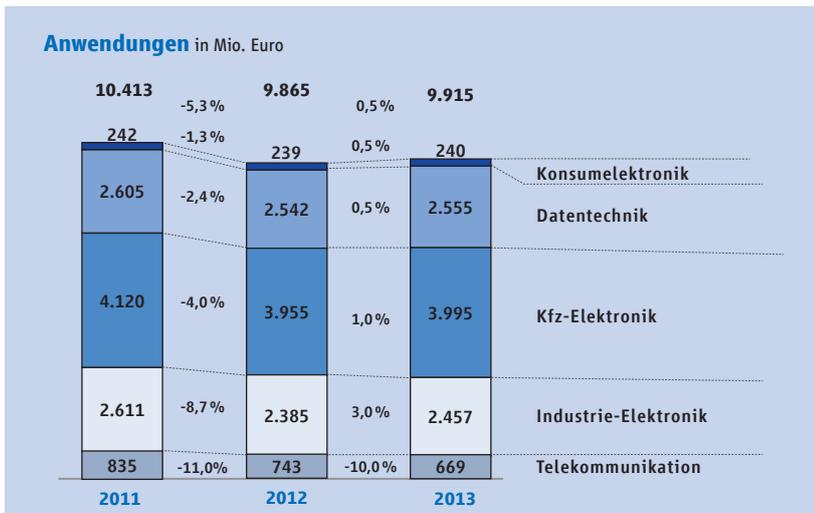
Quelle: WSTS und ZVEI [II.6]

**Abb. II.5: Veränderungen des Weltmarktes für elektronische Bauelemente gegliedert nach Regionen**



Quelle: WSTS und ZVEI [II.6]

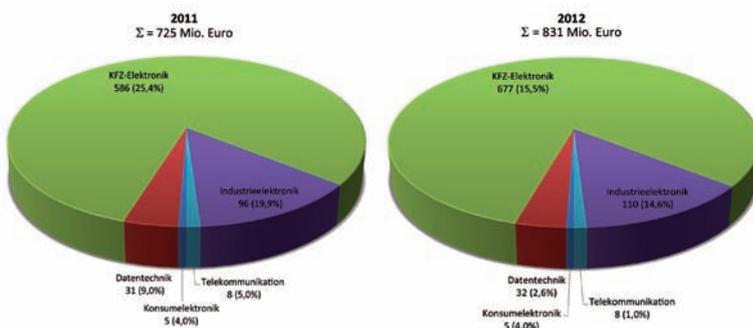
**Abb. II.6: Deutscher Markt der Halbleiter Bauelemente gegliedert nach Anwendungsfeldern**



Quelle: WSTS und ZVEI [II.6]

**Abb. II.7: Deutscher Markt der Sensoren und Aktoren gegliedert nach Anwendungsfeldern**

Angaben in Mio. Euro, Zahlen in Klammern: Veränderung gegenüber Vorjahr



Quelle: WSTS und ZVEI [II.6]

Daraus kann aber nicht geschlossen werden, dass dieser Markt nicht wichtig sei, im Gegenteil! Speziell für den deutschen Markt ist die Aufteilung nach Anwendungsfeldern wichtig (siehe Abb. II.6) und hier besonders die Kfz-Elektronik. Dieser für Deutschland ganz relevante Industriezweig steht an erster Stelle, gefolgt von der Industrie-Elektronik, die auch zu den Stärken der deutschen Industrie zählt.

Noch deutlicher ist dies zu erkennen an dem hochinnovativen Markt der Sensoren und Aktoren (Abb. II.7). Dort ist auch der Automobilbereich der wichtigste, gefolgt von der Industrieelektronik. Die Steigerungsraten sind dabei deutlich höher als das allgemeine Wirtschaftswachstum.

Aus diesen Analysen, die von WSTS (World Semiconductors Trade Statistics) und vom ZVEI (Zentralverband Elektrotechnik- und Elektronikindustrie e. V.) erarbeitet wurden [II.6], lässt sich die große Bedeutung der Mikrosystemtechnik für die deutsche Wirtschaft klar belegen. Wenn es gelingt, den technologischen Vorsprung zu halten oder sogar noch auszubauen, sind auch durchaus Steigerungen in der Zukunft möglich. Diese Studie erarbeitet deshalb Szenarien und Vorschläge, wie und wo ein zusätzlicher technologischer Vorsprung erarbeitet werden kann und muss.

#### II.1.4 Nicht berücksichtigte Themen

Sofern MST- oder andere MtM-Komponenten gemeinsam mit digitalen Komponenten zu einem System z. B. als SoC in einen Chip integriert werden, gelten für die MST-Bauelemente alle Anforderungen bezüglich Design und Verifikation, Modellierung und Simulation sowie Tests für höchstintegrierte digitale (MM-)Bauelemente mit ihren derzeit verfügbaren Packaging-Technologien, z. B. Wafer-Level-Packaging (WLP), Flip-Chip für Chipscale-Packaging, 3D-Stacking, Interposer-Technologien auf Silizium und Glas.

Dieser Aspekt des Packaging von hoch- und höchstintegrierten MM-Bauelementen soll in dieser Roadmap zunächst nicht berücksichtigt werden, obwohl er bereits für die Systemintegration bei einer Kombination von SiP- und SoC-Bauelementen zumindest für die SoC-Elemente relevant ist.

## II.2 Einschätzung und Erwartungen der Anwender

Im Rahmen einer Umfrage zur vorliegenden Roadmap wurden verschiedene Anwender interviewt. Dabei wurde nach den wichtigsten Entwicklungstrends der letzten fünf Jahre und der Jahre bis 2022 gefragt. Weiterhin wurden auf dem ZVEI-Workshop ‚AVT-Expertentreffen Stressarme MST Packages‘ im Dezember 2012 gemeinsam mit den Teilnehmern neue Entwicklungen und zukünftige Trends identifiziert.

### II.2.1 Entwicklungstrends der letzten fünf Jahre

Als Entwicklungstrends der letzten fünf Jahre wurde in der o. g. Umfrage von den Anwendern genannt:

- Integrative Simulation (Verwendung realer Materialparameter unter Berücksichtigung der Produktionsbedingungen z. B. anisotrope Faserverteilung im Spritzguss, Laminattheorie, Leiterplatte)
- Simulation des Oberflächen-Chipstresses als Funktion von Feuchte- und Temperaturänderungen des Package
- Kopplung von Sensor/Komponenten-Simulation und Package-Simulation
- Simulative Bewertung von Delamination
- Stress- und Dehnungs-Sensorik auf Chip-ebene (Erfassung von Stresswerten direkt am Mikrosystem, während des Herstellungsprozesses sowie in der Qualifikation)
- Zunehmender Einsatz von MID-Substraten
- Zerstörungsfreie Package-Analyse von 3D-Aufbauten (Röntgen-CT, CSAM-CT)

- Struktur-Eigenschafts-Korrelation auf Basis EBSD (Electron Backscatter Diffraction)
- Wafer-Level-Packaging von Sensoren und Mikroprozessoren
- Akzeptanz von Löt bump-Verfahren in der Automobilindustrie
- Umsetzung der bleifreien Technologie, niedrigschmelzende bleifreie Lote
- 3D-Packages/Baugruppen, Integrationstechnologien, Materialanforderungen
- AVT-Anforderungen der Leistungselektronik (Kleben, Löten, Bonden)

### II.2.2 Entwicklungstrends bis 2022 aus Anwendersicht

In der o. g. Umfrage wurden verschiedene Anwender nach ihrer Einschätzung der wichtigsten Entwicklungstrends bis 2022 gefragt. Das Ergebnis einschließlich weiterer Hinweise zu Begründung, Vorteilen, Voraussetzungen, Entwicklungsbedarf, Status, Erfolgseinschätzung, konkurrierenden Verfahren, soweit von den Anwendern benannt, sind im Folgenden wiedergegeben.

#### II.2.2.1 Entwicklungstrends bis 2022 aus Umfrage

- Vollständige Simulation von Zuverlässigkeits-Tests
- Modellierung und Simulation des Interfaces Lot/UBM (Under Bump Metallization)/Pad entlang der realen (gemessenen) Phasengrenzen zur Berechnung der Zuverlässigkeit
- Echte 3D-Simulation nicht-planarer Oberflächen bei thermomechanischem Stress
  - Vorteile: Zuverlässigkeit, geringere Entwicklungsrisiken
  - Status: Grundlagenforschung
  - Erfolgseinschätzung: Nische
- ‚Molecular Modelling‘: Abschätzung der makroskopischen Materialeigenschaften von Packaging-Polymeren aufgrund der molekularen Struktur

- Begründung: zielgerichtete Materialherstellung, Simulation komplexer anisotroper Materialien
  - Vorteile: Neue Konzepte, geringere Entwicklungsrisiken
  - Entwicklungsbedarf/Hindernisse: Wer profitiert davon?/Rechenleistung
  - Status: Grundlagenforschung
  - Forschungsbedarfe: Einbeziehung von Füllstoffen, Ausweitung auf Grenzflächenverhalten zur MST-Oberfläche (z. B. zur Abschätzung von Delaminationsrisiken), Vorhersage des Bauteilstresses unter Belastung, Berücksichtigung von Herstellungs- und Verarbeitungsprozessen
  - Konkurrierende Verfahren: Etablierte Verfahren der Materialdatenbestimmung
- Geometrierückführung: CAD-Daten und Topographie von Kontaktflächen aus 3D-Scans gewinnen und in der Simulation einsetzen (z. B. aus Laserscan, Röntgen)
    - Begründung: Anwendungsnahe Beschreibung der realen Untersuchungsobjekte anstatt idealisierter CAD-Geometrien, Fortsetzung der ‚integrativen Simulation‘
    - Vorteile: Neue Konzepte, Zuverlässigkeit, geringere Entwicklungsrisiken
    - Voraussetzungen: Geschlossene Simulationskette vom Mikromaßstab bis zur gesamten Baugruppe
    - Status: Angewandte Forschung
    - Forschungsbedarf:
      - a) Erfassung: Zusammenhang Oberflächenrauheit, elektrischer Kontaktwiderstand, mechanische Reibkoeffizienten, thermischer Kontaktwiderstand, Ableitung von Kenngrößen analog zum Farbwiedergabeindex (Ra-Wert) in der Lichttechnik u. ä.
      - b) Einbeziehung el. Kontaktflächen in die Betrachtung des MST-Bauteils
  - Abbildung von Realgeometrien durch zerstörungsfreie Analyse als Input für die Zuverlässigkeits-/Performancesimulation
- Begründung: Bewertung des Einflusses von Fertigungstoleranzen auf die Zuverlässigkeit/Performance – Möglichkeit zum Ableiten von genaueren Fertigungsspezifikationen
  - Vorteile: Fertigungstechnik, Zuverlässigkeit, geringere Entwicklungsrisiken
  - Voraussetzungen: Schnelle und hochauflösende Computer-Tomographie (CT), wohldefinierte Schnittstelle 3D-Modell mit unterschiedlichen Materialien
  - Entwicklungsbedarf/Hindernis: Physikalische Grenzen sind erreicht
  - Status: Angewandte Forschung
  - Forschungsbedarf: Verbesserte CT/Messtechnik (integrierte Materialanalytik), Optimierung der Analysesoftware, Export/Importfilter zur Datenübergabe
  - Konkurrierende Verfahren: Design of Experiments (DoE) zur Bestimmung eines Testfeldes und Abtesten des Versuchsraumes
  - Dokumentationsmaterial: Bilder von Reifendrucksensor-CT
- Multikriterielle Analyse von Ausfallmechanismen (Kombination unterschiedlicher Failure Modes abhängig vom Belastungspfad zur Bewertung der Zuverlässigkeit von Packages/Systemen bei unterschiedlichen Mission Profiles)
    - Begründung: Erhöhte Komplexität der Aufbauten (heterogene Integration, verbesserte Möglichkeiten durch steigende Rechnerpower)
    - Vorteile: Erhöhte Funktionalität, Zuverlässigkeit, geringere Entwicklungsrisiken
    - Voraussetzungen: Fehlermoden und Kriterien für unterschiedliche Technologien
    - Entwicklungsbedarf: Handhabung der technologischen Vielfalt, sinnvolle Beschränkung
    - Status: Grundlagenforschung, angewandte Forschung
    - Erfolgseinschätzung: Dominanz der Anwendung

- Forschungsbedarf: Entwicklung von Fehlermoden und Ausfallmodellen für eine Vielzahl von Materialkombinationen und Belastungsarten
- Konkurrierende Verfahren: Experimentelle Zuverlässigkeits-Bewertung – aufwändig und kostenintensiv
- Skalierbare Stresssensor-Systeme, piezoresistive Sensorsysteme, flexible Anpassung an Chipgröße und Nutzung zu Testzwecken
  - Begründung: Kostengünstige in-situ Packageoptimierung
  - Entwicklungsbedarf: Skalierbarkeit kostengünstig machen
  - Vorteile: Fertigungstechnik, Zuverlässigkeit, geringere Entwicklungsrisiken
  - Status: FuE, angewandte Forschung
  - Erfolgseinschätzung: Nische
- Berücksichtigung der Materialalterung bei Zuverlässigkeitsuntersuchungen von Packages – universelle Definition von Alterung
  - Begründung: bei abgefragten Lebensdauern von 30 Jahren plus ist die Mitbewertung von Materialalterung extrem wichtig
  - Vorteile: Neue Konzepte, Zuverlässigkeit, geringere Entwicklungsrisiken, strategische Aspekte
  - Voraussetzung: Verständnis und daraus abgeleitet eine universelle Definition von Alterung
  - Entwicklungsbedarf/Hindernis: Sehr komplexe Werkstoffmodelle für die Alterung bzgl. relevanter Eigenschaften
  - Status: Grundlagenforschung, angewandte Forschung
  - Forschungsbedarf: Materialanalytik bzgl. Alterung, Modellerstellung und -verifikation
  - Konkurrierende Verfahren: Echtzeittest – gezielte Analyse von Feldausfällen
- Minimierung des Einflusses von Packaging-Stress aufgrund von Feuchte und Temperatur durch intelligentes Layout
- Komplexes Packaging und Definition des Chipset wird zur größten Herausforderung des Systemdesigns
  - Trends: Erhöhte Funktionalität pro Modul bei gleichzeitig erweiterten Betriebsbedingungen
  - Begründung: Die Überlappung von Wafer-Technologie und Packaging wird größer. Equipment-Hersteller bauen bereits für Packaging und Waferprozessierung
  - Vorteile: Neue Produkte, erhöhte Funktionalität, strategische Aspekte. Ergänzung: Wafer-Level-Packaging und Waferstapel erlauben weitere Integration, 3D-Technologie werden von Instituten und Industrie entwickelt
  - Voraussetzungen: Software-Entwicklung für Systemdesign, Test und Vorhersage der Packaging-Zuverlässigkeit
  - Entwicklungsbedarf: Testvoraussetzungen werden komplexer, Leistungsdichte nimmt zu
  - Status: Grundlagenforschung, angewandte Forschung, Entwicklung
  - Erfolgseinschätzung: Eines unter vielen
  - Forschungsbedarf: Multidisziplinäre Simulation (Zuverlässigkeit, thermische Domäne, Routing, Test)
  - Konkurrierende Verfahren: Standard Packagingverfahren mit einem Chip pro Package
- Hochtemperatur- und hochzuverlässiges Packaging von Leistungselektronik bei minimalem Stress in der AVT
  - Begründung: Wachsender Markt, u. a. SiC-Einführung mit deutlich höheren Einsatztemperaturen
  - Vorteile: Fertigungstechnik, Zuverlässigkeit
  - Voraussetzung: Stärkung europäischer und deutscher Materialhersteller
  - Entwicklungsbedarf/Hindernisse: Kosten, Prozessoptimierung
  - Status: Produktion von Leistungsmodulen und Komponenten

- Forschungsbedarf: Einsatz kostengünstiger Materialien (z. B. BMC)
- Konkurrierende Verfahren: Etablierte Packaging-Verfahren (z. B. Keramik)
- Funktionswerkstoffe der Leistungselektronik
- Energy Efficiency, Power Electronics, harsh environment
- Infrastructure & Cities, Anforderungs- und Lösungsprofile
  - Trends: Nachhaltige AVT und Materialien für Power Electronics, AVT Qualifikation, etc.
  - Begründung: Energiewende und erforderliche Infrastruktur
  - Vorteile: Neue Konzepte, neues Produkt, erhöhte Funktionalität, Fertigungstechnik, Zuverlässigkeit, Strategische Aspekte
  - Voraussetzungen: Enge Kopplung universitärer und industrieller Forschung hinsichtlich Konzept- und Umsetzungsphase, Ausbildungskonzepte der Hochschulen den Industrieanforderungen anpassen
  - Entwicklungsbedarf: Ausbildungskonzepte
  - Status: Grundlagenforschung, angewandte Forschung
  - Erfolgseinschätzung: Dominanz der Anwendung
  - Forschungsbedarf: siehe Roadmap NPE (Nationale Plattform Elektromobilität)
  - Konkurrierende Verfahren: siehe Roadmap NPE
  - Dokumentationsmaterial: ECPE, ZVEI, NPE

Abfrage der Einschätzung der Teilnehmer. Im Ergebnis wurden folgende Anforderungen genannt:

- Erweiterung der vorhandenen Tools für die zukünftigen Anforderungen des Packaging (z. B. hohe Temperaturen, Berücksichtigung von Polymeren und Grenzflächen etc.)
- Einfachere Bedienbarkeit von Simulationstools (auch für Nicht-Fachleute der Simulation, Abarbeiten einer ‚Liste‘ des Tools)
- Kopplung der Simulationsergebnisse mit frühen Designphasen
- Verfügbarkeit ‚echter‘ (gemessener) Materialdaten (heterogene Materialkombinationen, Berücksichtigung realer Topographien, Berücksichtigung von Alterung)
- Lebensdauervorhersage auf kausaler Ebene (physikalische, chemische, atomistische Prozesse, für lösbare und nicht-lösbare elektrische Verbindungen)
- Simulationstool soll Empfehlungen bzw. Vorschläge geben für Testverfahren, Messaufbauten, Messdurchführung
- Bereits beim Design soll die Testbarkeit berücksichtigt werden
- Entwicklung von Stress-Sensorik für neue AVT-Verfahren (z. B. für höhere Temperaturen, Leistungselektronik, biomedizinische Implantate, etc.)
- Verfügbarkeit von lebensdauerspezifischen Materialparametern und deren Messung
- Anforderungen biomedizinischer Applikationen an AVT-Design, Testbarkeit, Simulation, etc.

Als ein wichtiger Forschungsbedarf wurde eine Lebensdauerprognose auf der Basis realer Materialparameter, gemessener Stressverteilung und kausaler Zusammenhänge genannt.

### II.2.2.2 Entwicklungstrends bis 2022 aus ZVEI-Workshop

Weitere Ergebnisse ergaben sich durch den am 3. bis 4. Dezember 2012 beim ZVEI durchgeführten Workshop ‚AVT-Expertentreffen Stressarme MST Packages‘. Ziel dieses Workshops war u. a. die Identifikation neuer Entwicklungen und zukünftiger Trends bei den Themen ‚Design und Verifikation‘, ‚Modellierung und Simulation‘ sowie ‚Test‘, durch

### II.2.3 Weitere Anforderungen und Entwicklungstendenzen bis 2022

Als weitere Anforderungen an die Aufbau- und Verbindungstechnik und speziell an zukünftige Packages können genannt werden [II.5]:

- Entwicklung von standardisierten MST-Packages mit exakten Materialdaten zur Integrations-Unterstützung
- Entwicklung von Packages, die den Stress reduzieren bzw. eliminieren und eine hermetische Verpackung unterstützen
- Verfügbarkeit von Daten für Packages, die eine genauere Vorhersage des Package-Einflusses auf Leistungsfähigkeit, Funktionalität und Zuverlässigkeit der Bauelemente ermöglichen. Ein Beispiel dafür wird in Kapitel V.2.3 (Abb. V.9) dargestellt, mit Referenz auf Arbeiten, um den tatsächlichen Spannungszustand eines Chips in einem Gehäuse experimentell genau zu bestimmen.

Im Bereich ‚Test‘ ist zu berücksichtigen:

- Übergang vom Bauelemente-Test nach dem Packaging zum Wafer-Level-Test. Im Kapitel V.2.5 wird noch einmal detailliert auf diese wichtige Möglichkeit eingegangen
- Schaffung validierter Werkzeuge, um die Leistungsfähigkeit und Funktionalität der Bauelemente auf der Basis von Wafer-Level-Tests vorhersagen zu können
- Schaffung von Methoden für ein ‚Design-for-Testability‘ (DfT)
- Realisierung von Lösungen für ein ‚Build-In-Self-Test‘ (BIST)

Erhöhte Anforderungen an die Zuverlässigkeit erfordern:

- Forschung zum Verständnis der Physik von Ausfallursachen, als Basis für beschleunigte Zuverlässigkeitstests
- Bessere Verfügbarkeit von Informationen zur Zuverlässigkeit z. B. auf der Basis von allgemein zugänglichen Datenbanken
- Verständnis beschleunigter Tests und Übertragung auf Feldbedingungen

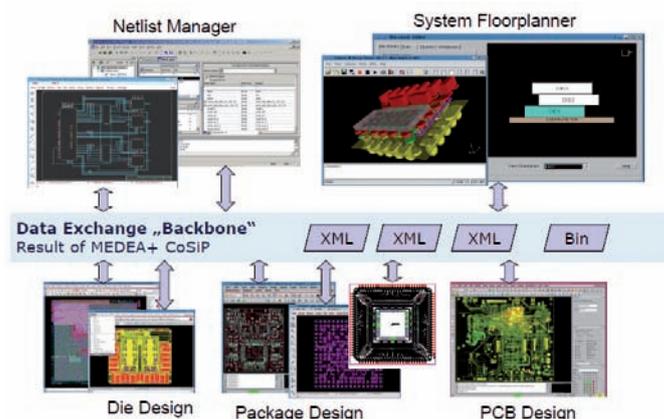
## II.3 Design und Verifikation

### II.3.1 Design

Designtechnologien müssen die Schaffung höchst komplexer und kosteneffektiver Systeme ermöglichen. Alle Designschritte von der Spezifikation über die Herstellung bis zum Packaging und Test sind untereinander abhängig und eng mit Fragen der Zuverlässigkeit und Ausbeute verknüpft. Ein Design auf Systemebene, das alle Systemanforderungen einschließlich einem Chip-Package Co-Design berücksichtigt, ist hierzu dringend erforderlich, ebenso ein durchgängiges Werkzeug für das Chip-Packages-Board Co-Design. Hierzu sind erste Ansätze vorhanden, die kontinuierlich weiterentwickelt werden (siehe Abb. II.8).

Die Trends bei den EDA-Designtools sind analog zu den Trends in Abb. II.1 zu sehen: zunehmende Miniaturisierung beim Chip-Design (More Moore) und Werkzeuge für Package/PCB Design bei diversifizierten Anwendungen (More than Moore). Dabei werden zum einen die vorhandenen Tools ständig verbessert, um neue Technologien wie 3D-TSV oder Si-Interposer etc. zu unterstützen, zum anderen mischen sich die klassischen Front-End- (Chip) und Back-End- (Package, PCB) Technologien (z. B. beim Wafer-Level-Capping). Da hierzu noch keine EDA-Tools existieren, behilft man sich z. B. mit flexiblen Plattformen für den Datenaustausch der unterschiedlichen Design-Domänen [II.7].

**Abb. II.8: Infineon SiP Co-Design als Beispiel für ein Chip/Package/Board Co-Design**



Quelle: Infineon Technologies 2012 [II.7]

Die Integration von MST-Komponenten und MEMS und die Untersuchung ihrer Auswirkungen befinden sich derzeit noch im Forschungsstadium, wobei eine Qualifizierung für die Produktion ab 2015 zu erwarten ist. Als weitere Anforderungen, die sich bei einer Integration von MST-Komponenten oder MEMS in SoC oder SiP ergeben, können u. a. genannt werden: Design for Testability (DfT), eingebaute Selbsttests (BIST), Design for Reliability (DfR), Design for Manufacturability (DfM), Design for Maintenance. Weiterhin müssen bereits im Design mögliche Schwankungen der technologischen Parameter berücksichtigt werden und die Designparameter enger an die Technologien und die Bauelemente-Architekturen gekoppelt werden. Auf der Basis von Modellierung und Simulation müssen künftige Designs auch zu einer verbesserten Ausbeute des Gesamtsystems führen, indem Prozessschwankungen und Fehlermöglichkeiten bereits im Design berücksichtigt werden.

### II.3.2 Verifikation

Die Verifikation soll sicherstellen, dass die Systemimplementierung in vollem Umfang die Spezifikation erfüllt, d. h. dass sich das System so verhält, wie es geplant wurde. Bis heute ist die funktionale Verifikation eine ungelöste Herausforderung. Die gängige Praxis ist die partielle Verifikation, bei der nur einige wenige Aspekte des Designs berücksichtigt, überprüft und verifiziert werden. Die Gründe dafür liegen in der hohen Systemkomplexität für integrierte SoC-Designs und noch mehr für zukünftige SoC-SiP-Kombinationen. Die Methoden der Verifikation sind heute weitgehend ad-hoc und experimentell. Es fehlt an robusten, rechnergestützten Lösungen. Neuere Ansätze der Verifikation modellieren das Systemverhalten und vergleichen dies mit dem Ergebnis von Simulationen. Als Herausforderungen an die Verifikation lassen sich nennen [II.5]:

- Schaffung von Kapazitäten für die formale und die simulationsbasierte Verifikation

(Emulatoren, Rapid-Hardware-Prototyping etc.) Nutzung von Post-Silicon-Validierungskonzepten und Integration beider Ansätze

- Robustheit der Lösungen: verbesserte Heuristik der Verifikations-Algorithmen, Realisierung von einfach zu verifizierenden Designs
- Güte der Verifikation: Schaffung eines Maßstabes für die Verifikationsgüte auf der Basis eines Fehlermodells funktionaler Fehler
- Softwareentwicklung: zur Verifikation der Schnittstellen Chip-System-Package-Design
- Wiederverwendbarkeit: Verifikation von Systemen, die aus vorverifizierten Funktionsblöcken zusammengesetzt sind
- Entwicklung neuartiger Verifikationsmethoden: durch Schaffung konsistenter Abstraktionsmethoden für Designkomponenten, Interfaces und Packages
- Schaffung formaler Spezifikationen (Problem der unvollständigen Spezifikationen): bessere Ermöglichung der Verifikation (Specification for Verification)
- Neue Werkzeuge für nicht-digitale und hybride Funktionen (über SPICE hinaus)
- Verifikation auch heterogener Systeme (z. B. MST-Bauelemente/MEMS in Kombination mit digitalen MM-Bauelementen): erfordert die Modellierung der Schnittstellen und des Verhaltens der digitalen und nicht-digitalen Funktionen

### II.3.3 Kommerzielle Tools für Design und Verifikation

Für die Themen ‚Design und Verifikation‘ sowie für die nachfolgenden Themen ‚Modellierung und Simulation‘ und ‚Test‘ gibt es eine Reihe von kommerziellen Tools, die unter dem Überbegriff EDA (Electronic Design Automation) subsummiert werden können. Für den Standort Deutschland kann folgende Aussage hierzu getroffen werden:

- Die führenden Anbieter von EDA-Tools (wie z. B. Cadence und Mentor Graphics) kommen nicht aus Deutschland, arbeiten aber zur Modifikation der Standard-Tools mit



- Schaffung eines Maßstabes für die Verifikationsqualität
- Entwicklung neuartiger Methoden der Verifikation durch konsistente Abstraktionsmethoden für Design, Interfaces und Packages
- Verbesserung der System-Spezifikation (Specification for Verification)

## II.4 Modellierung und Simulation

### II.4.1 Allgemeine Anforderungen von Modellierung und Simulation an das Packaging

Das Gesamtziel von Modellierung und Simulation besteht darin, die Technologie-Entwicklung zu unterstützen und zu optimieren, sowie Entwicklungszeiten und -kosten zu reduzieren. Dazu sind u. a. folgende Anforderungen zu berücksichtigen [II.5]:

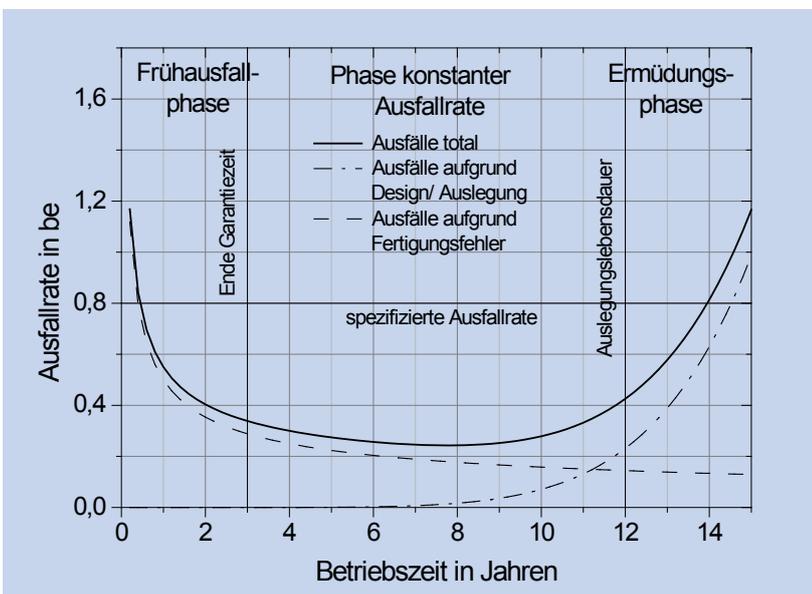
- Modellierung von Verbindungstechnologien und Integration von passiven Bauelementen mit dem Ziel, die mechanischen, elektro-mechanischen und thermischen Eigenschaften von Backend-Prozessen darzustellen

- Simulation von Packages: Modellierung der elektrischen, mechanischen und thermischen Eigenschaften von Packages
- Modellierung von Materialeigenschaften für Package- und Verbindungsmaterialien
- Modellierung der Zuverlässigkeit und damit zusammenhängender Effekte auf allen Packaging-Ebenen
- Modellierung für robustes Design, Herstellbarkeit und Ausbeute
- Schaffung von numerischen Methoden auf der Basis der entwickelten Modelle

Neben der Unterstützung des Entwurfsprozesses dient die Modellierung insbesondere auch dem Ziel, eine möglichst hohe Lebensdauer bei möglichst wenig Frühausfällen zu erreichen (siehe Abb. II.10 ‚Badewannenkurve‘). Da Frühausfälle in der Regel auf Produktions- oder Materialfehler zurückzuführen sind, können diese durch Stress-Tests experimentell eingeschränkt werden. Zur Reduzierung der Frühausfälle, ist jedoch eine Korrelation der Modellierungen für Konstruktion, Fertigung und Materialien mit den Frühausfällen wünschenswert. Ein weiteres Problem stellen die zufälligen Ausfälle während der nutzbaren Lebensdauer dar, insbesondere bei einer hohen Anzahl an Bauteilen in einem System. Da die Ursache der zufälligen Ausfälle oftmals unbekannt ist, gilt es, auf der Basis experimenteller Untersuchungen und theoretischer Betrachtungen, Modelle zu erstellen, um in diesem Bereich zu greifbaren Lebensdauerprognosen zu gelangen. Hier besteht ein erhöhter Forschungsbedarf.

Zur Ermittlung der Lebensdauer werden nach Eliminierung der Frühausfälle in der Regel beschleunigte Alterungsverfahren eingesetzt. Ein großes Problem ist dabei auch die Frage, inwieweit die Lebensdauerprognosen aus Modellen der beschleunigten Alterung mit den realen, im Feld gemessenen Belastungszuständen übereinstimmen. Da im Betrieb eine Vielzahl unterschiedlicher Belastungs-

**Abb. II.10: Schematische Darstellung der Ausfallrate von Bauelementen über der Zeit (‚Badewannenkurve‘, Weibull-Modell)**



Quelle: IMTEK – Institut für Mikrosystemtechnik

**Tab. II.2: Belastungs- und Ausfallarten und deren Modelle**

Belastungs- bzw. Ausfallarten	Modelle
Materialermüdung	Coffin-Manson-Modell, Rudra-Modell
Chemische Reaktion unter Temperaturbelastung	Arrhenius
Kombinierte Belastungsarten	Eyring Modell
Elektromigration	Black's Modell
Korrosion	Peck's Modell, Lawson (RH2) Modell, Reziprokes Exponentialmodell
Kriechen	Weertman's Modell
Schädigung durch akkumulierte Ermüdung	Miner's rule

Quelle: S. Kraft [II.8]

arten auftreten kann und da die Ausfallarten stark von den Belastungsarten abhängig sind, müssen die unterschiedlichen Ausfallarten durch unterschiedliche Modelle beschrieben werden. Hier ist eine große Anzahl an Modellen verfügbar (siehe Tabelle II.2).

#### II.4.2 Werkzeuge für Modellierung und Simulation

Im Folgenden sind beispielhaft und ohne Anspruch auf Vollständigkeit einige kommerzielle Werkzeuge für die Modellierung und Simulation aufgeführt:

**MATLAB/Simulink** ermöglicht eine hierarchische Modellierung mit Hilfe graphischer Blöcke. Anwendungsbeispiele sind die Modellierung physikalischer Domänen sowie die Verifikation und Validierung (Anwendung für funktionale Systeme wie Regler bis hin zu physikalischen Kompaktmodellen).

**SPICE** (Simulation Program with Integrated Circuit Emphasis) ist eine Open-Source-Software vorzugsweise zur Simulation analoger elektronischer Schaltungen.

**VHDL-AMS** (VHDL = Very High Speed Integrated Circuit Description Language, AMS = Analog and Mixed Signal) ist von der Hardware Description Language VHDL abgeleitet und ermöglicht die Beschreibung von analogen, digitalen und gemischten Systemen. Wird als Industriestandard für mixed signal Schaltkreise eingesetzt.

**ANSYS** ist ein Finite-Elemente-Programm, das die Anwendungsbreite der numerischen Simulation weitgehend abdeckt (Strukturmechanik, Strömungsmechanik, Temperaturfelder, Elektromagnetik, Multiphysik und Systemsimulation).

**COMSOL Multiphysics** deckt die gesamte Breite der Modellierung und Simulation ab (elektrische, mechanische, fluidische und chemische Domänen). Weiterhin werden verschiedene Schnittstellenprogramme (z. B. für MATLAB, AutoCAD etc.) angeboten.

### II.4.3 Zukünftige Herausforderungen an Modellierung und Simulation

Für Modellierung und Simulation können künftig als Herausforderung formuliert werden [II.5]:

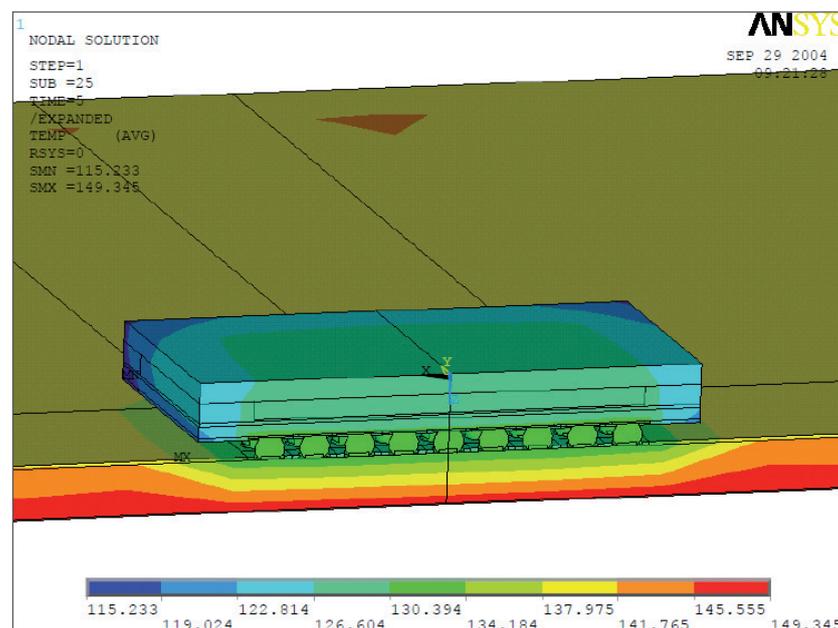
- Schaffung physikalischer Modelle für stress-induzierte Einflüsse auf die Bauelemente bei Nutzung nanoskaliger Materialien
- Modelle für thermomechanische, thermodynamische und elektrische Eigenschaften für SiP und WLP Packages
- Thermische Modellierung von 3D-Packages, TSV und Waferstacks und deren Einfluss auf Bauelemente-Eigenschaften
- Identifizierung von Effekten, die die Zuverlässigkeit von Verbindungstechnologien und Packages beeinflussen. Im Kapitel V.1.4 sind zwei Beispiele näher dargestellt (Bonddrähte und Lotkugeln)
- Physikalische Modellierung und Simulation, um die Adhäsions- und Bruchfestigkeit verbindungrelevanter Interfaces, Packages und Chip-Interfaces vorherzusagen
- Dynamische Simulation mechanischer Probleme von flexiblen Substraten und Packages

- Simulationswerkzeuge für ein kohärentes Co-Design von Chip, Package und Substrat (Beispiele siehe Abb. II.8 und II.9)
- Modellierung und Simulation von Prozessen wie Polieren, Schleifen und Abdünnen von Wafern

#### II.4.3.1 Erforderliche Modellierungen und Simulationen am Interface Bauelement/Package

- Modellierung von Spannungen und Dehnungen aufgrund verschiedener Materialkombinationen und dem thermischen Budget bei der Herstellung. Vollständige tensorielle Beschreibung der Spannungszustände im Bauelement und am Interface einschließlich des anisotropen piezoresistiven Effektes im Bauelement
- Gekoppelte elektrische, mechanische und thermische Modellierung, um das Bauelement-Verhalten und die Zuverlässigkeit simulieren zu können. Dies betrifft insbesondere die thermischen und mechanischen Eigenschaften dünner Multilayerschichten sowie das Kornwachstum und mikrostrukturelle Übergänge, die die Ausbildung und das Fortschreiten von Mikrorissen beeinflussen.

**Abb. II.11: Simulation der Temperaturverteilung in einem LFBGA 49 der Firma Micronas bei Erwärmung des Substrates auf einer 150 °C warmen Heizplatte**



Quelle: IMTEK – Institut für Mikrosystemtechnik [II.9]

- Simulation der Delamination auf der Basis von Energiemodellen bei Versagen der Kontinuumsmechanik
- Ausfallanalyse durch numerische Korrelation (z. B. Bruchmechanik)
- Definition von Worst-Case-Test-Strukturen und Sicherstellung, dass die experimentellen Zuverlässigkeitsuntersuchungen mit den tatsächlich auftretenden Betriebsbedingungen der Bauelemente/Package Kombinationen übereinstimmen
- Materialmodelle auf der Basis von Interface-Mikrostrukturen, um thermomechanisch induzierten Stress zu verstehen
- Modellierung von Mikrorissen auf mikroskopischer Ebene

### Schwierigkeiten bei der Modellierung und Simulation im Bereich Packaging

- Zunehmende Kopplung elektrischer und thermomechanischer Simulationen wird aufgrund der Systemkomplexität erforderlich
- Kopplung von Verbindungstechnologien und Design ist erforderlich
- Simultane Simulation von Verbindungstechnik und Packaging nötig um thermische/mechanische Aspekte zu berücksichtigen (Beispiel Abb. II.11)

### Modellierung und Simulation von Packages

Das Package muss mindestens die Integrität des Signals, der Energieversorgung, der Betriebstemperatur und des mechanischen Verhaltens sicherstellen, bei Bauelementen der MST bzw. MEMS zusätzlich die Integrität die weiteren physikalischen Domänen. Dazu ist mindestens eine integrierte elektrische, thermische und mechanische Simulation erforderlich, die Chip, Package und System mit einbezieht. Das ist nur durch Chip-Package-System Co-Design möglich (siehe Beispiele Abb. II.8 und II.9).

Die zunehmende Komplexität der Interaktionen zwischen Chip-Package-Leiterplatte erfor-

dert einen modularen Ansatz, der die Implementierung unterschiedlicher Komponenten, speziell für SiP oder SoC-Lösungen erlaubt. Dabei muss auch die Implementierung von MST-, MEMS- oder anderen MtM-Bauelementen berücksichtigt werden.

### Modellierung von Package-Materialien

- Die genaue Kenntnis der Materialeigenschaften bildet die Grundlage aller Modellierungen und Simulationen. Dies betrifft auch das Package und die Verbindungstechnologien. Modellierung und Simulation sind nur so gut wie die verwendeten Materialdaten, die oft nicht verfügbar und/oder experimentell schwierig zu bestimmen sind. Hier sind entsprechende Datenbanken oder eine Berechnung der Materialdaten aus First Principles erforderlich.
- Weiterhin werden Materialdaten benötigt, um die Eignung neuer Materialien systematisch im Bereich Packaging zu evaluieren. Dabei gehen die Anforderungen weit über die Daten hinaus, die die Lieferanten heute bereitstellen. So sind oft plastische Deformationen oder Korngrößenverteilung in ihren verschiedenen Stadien gar nicht spezifiziert (thermodynamische Daten).
- Nur dann, wenn solche detaillierten Daten spezifiziert und garantiert werden, machen Simulationen von Lebensdauern Sinn. Dabei soll hier besonders betont werden, dass sich ein Materialverhalten auch durch den Anwender sehr wesentlich beeinflussen lässt, sei es gewollt oder leider auch oft ungewollt und unbeachtet.
- Herausforderungen sind u. a. den Einfluss der Mikrostruktur an den Grenzflächen und ihren Einfluss auf die Zuverlässigkeit zu simulieren.
- Weitere Herausforderungen sind das Verständnis der Materialdegradation und -ermüdung unter dem Einfluss von thermischen Gradienten, Stress und ggf. Elektromigration, ohne das eine Vorhersage der Zuverlässigkeit nicht möglich ist.

### Modellierung der Zuverlässigkeit von Chip und Packages

Die Modellierung ist zunehmend gefordert, Designwerkzeuge zu unterstützen die sowohl zu einer besseren Leistungsfähigkeit als auch zu robusten Zuverlässigkeitsaussagen führen. Die Modellierung muss sowohl die Ausfallmechanismen und ihre Ursachen theoretisch untersuchen, aber auch ihre Beziehung zwischen Bauelemente-Herstellung und Packaging-Technologien in Verbindung mit Anforderungen an das Design und an effektive Testverfahren berücksichtigen. Dabei ist die Modellierung und Simulation für folgende Anwendungen hilfreich [II.5]:

- Verständnis grundlegender physikalischer Mechanismen
- Strukturelle Einflüsse auf die Zuverlässigkeit
- Schaffung sicherer Designregeln (Chip/Package)
- Untersuchung und Definition sicherer Betriebsbedingungen
- Unterstützung der Charakterisierung und Interpretation von Ausfallursachen
- Lebensdauerprognose und Bestimmung von Beschleunigungsfaktoren und Extrapolationsgesetzen bei beschleunigter Alterung
- Unterstützung eines Design for Reliability (DfR)
- Gekoppelte Modellierung von mechanischen und thermischen Einflüssen, um das Verhalten bei Überschreitung des Glaspunktes mit zu erfassen. Da an diesem Punkt ein nicht-lineares Verhalten beginnt, ist eine getrennte Betrachtung nicht erfolgversprechend
- Veränderung von intermetallischen Verbindungen bei Beaufschlagung durch Temperatur, Spannungen und Vibration, insbesondere Versprödung

Die Voraussetzungen hierfür sind:

- Exakte, gekoppelte, elektrisch-thermisch-mechanische Modellierung
- Thermische Multi-Skalen-Modelle, die über alle Ebenen, von der atomistischen über

Komponenten-, Chip-, Package- bis zur Systemebene reichen

- Verhaltensmodelle für Ausfallmechanismen und Degradation von Bauelement und Package

Es bedarf einer ständigen Verbesserung und Erweiterung der eingesetzten numerischen Verfahren und Methoden, um die wachsende Komplexität physikalischer Phänomene zu beherrschen. Dies gilt sowohl für die gekoppelten Effekte von Spannung und Dehnung mit elektrischen, thermischen und mechanischen Domänen, für die Multi-Skalen-Simulation und das Co-Design und erfordert eine hierarchische Simulation von der atomaren bis zur Systemebene.

#### II.4.4 Zusammenfassung Modellierung und Simulation

Die wichtigste Herausforderung im Bereich Modellierung und Simulation ist der Integrationsaspekt, der eine durchgängige Beschreibung zwischen allen Ebenen der Herstellung fordert: Equipment/Prozess, Prozess/weitere Prozesse, Prozess/Komponente, Komponente/Bauelement, Layout/Design, Bauelement/Packaging. Dabei erfordert die Integration Bauelement/Packaging die thermischen, mechanischen und elektrischen Simulationen, um ein Chip-Package Co-Design zu schaffen.

Dabei können die elektrischen, thermischen und mechanischen Effekte und die Zuverlässigkeit nicht mehr separat betrachtet werden, sondern erfordern eine simultane Simulation aller Aspekte. Dazu ist auch das Management eines Chip-Package Co-Designs bei höheren Komplexitäten einschließlich abgedünnten Wafern, 3D-Bauelementen, Stacks und TSV erforderlich. Die Modellierung der Effekte muss auf realen Materialdaten beruhen, einschließlich einer Vorhersage von Stress und Lebensdauer bei beschleunigter Alterung, auch unter Berücksichtigung des dynamischen Verhaltens von Packages unter dem Einfluss

von Vibration und Schock. Für zukünftige Bauformen ist insbesondere das Verständnis von Interfaces zwischen Metall/Polymer, Polymer/Polymer und Metall/Metall erforderlich. Auch eine Einbeziehung von Design- und Prozessschwankungen ist eine Aufgabe von Modellierung und Simulation. Weiterhin sind schnellere Berechnungen notwendig, da heutige Simulationen oftmals Tage dauern.

Kurz- bis mittelfristig ist zu erwarten, dass für Modellierung und Simulation nicht optimale Kombinationen verfügbarer Methoden eingesetzt werden. Längerfristig wird eine vollständige Systembeschreibung mit einer kompletten Modellierung, Verhaltensbeschreibung und Zuverlässigkeitsvorhersage von MST-Bau-elementen und Package benötigt.

Hier soll noch einmal deutlich darauf hingewiesen werden, dass auch ‚Random Failure‘ einer intensiveren Modellierung bedürfen. Als ein Beispiel sei die Schädigung durch Neutronen genannt (G. Wachutka [II.10]). Ebenso wichtig sind z. B. (Vor-) Schädigungen durch ESD, Voids in Lotverbindungen. Siehe hierzu z. B. das BMWi Projekt AIF 132 ZN ‚Volumen-

effekte und technische Zuverlässigkeit von bleifreien Lötstellen‘ [II.11], monomolekulare Oberflächenkontamination auf Haftflächen, Partikel-Einschlüsse aus der Herstellung u. v. a. m.

## II.5 Test

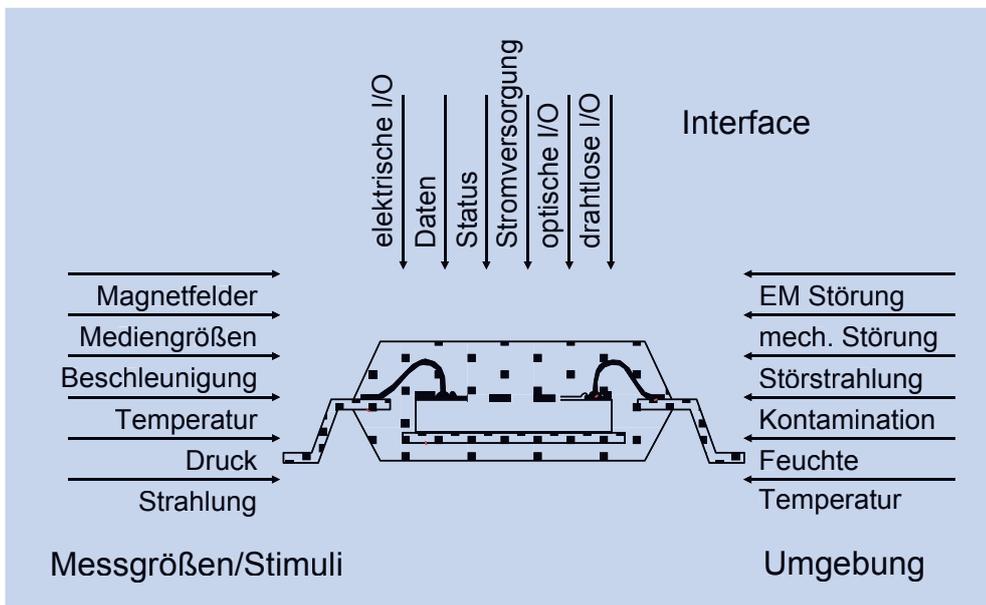
### II.5.1 Anforderungen an Testverfahren für MST-Packages

Grundsätzlich benötigt der Test von MEMS und Mikrosensoren eine Kalibrierung und Validierung und erfordert einen externen Stimulus, um einen Parameter- und Funktionstest zu realisieren (Abb. II.12).

Als zukünftige Herausforderungen beim Test von MST-Packages können genannt werden:

- Kosten
- Verlagerung von baelementbezogenen zu Wafer-Level-Tests (siehe auch Kapitel V.2.5)
- Design for Test
- Beschleunigte Methoden für Zuverlässigkeits-Tests
- Verbreitung von bekanntem Test-Know-how
- Standardisierung von ‚Mission Profiles‘

**Abb. II.12: Stimuli und Störeinflüsse während des Tests auf Baugruppenebene**



Quelle: IMTEK – Institut für Mikrosystemtechnik, AMA Verband für Sensorik und Messtechnik [II.3]

Neben dem Bauelemente-Test, bei dem insbesondere die Funktionalität geprüft wird, ist für die Aufbau- und Verbindungstechnik eine Mess- und Prüftechnik erforderlich, mit deren Hilfe z. B. Ausfallursachen, Geometriedaten, Delamination oder Stress und Deformationen analysiert werden können. Hierzu wird standardmäßig die Röntgentomographie bzw. die Röntgen-Computertomographie (Geometriedaten), die Ultraschall-Mikroskopie (Delamination) sowie im Folgenden (Tabelle II.3) aufgeführte Messverfahren für die Stress bzw. Deformationsanalyse eingesetzt.

**Kosten:** Eine Kostenreduktion von Testverfahren, insbesondere bei MST ist zwingend erforderlich. Obwohl die Preise der Bauelemente sinken, steigen die Testkosten. MST erfordern spezielle Testverfahren, bei denen auch mechanische Parameter wie Beschleunigung, Drehrate, Druck etc. am Bauelement anliegen müssen. Hier könnte eine Standardisierung von Testverfahren zur Kostenreduktion beitragen.

**Wafer-Level-Test:** Für eine Reihe von Testverfahren für MEMS wie Drucksensoren, Beschleunigungssensoren und Drehratensensoren stehen bereits spezielle Wafer-Level-Testausrüstungen zur Verfügung. Allerdings gibt es z. B. bis heute keine ganzheitliche Lösung, um eine IMUT mit 10 Freiheitsgraden auf Wafer-Level zu testen. Hierfür müssen bestimmte Testprozeduren bereits in den Herstellungsprozess verlagert werden. Zukünftig geht die Tendenz dahin, möglichst viele Parameter bereits auf dem Wafer-Level testen zu können. Dafür sind Untersuchungen und Modelle erforderlich, um den Einfluss von Assemblierung und Packaging vorhersagen zu können. Letztendlich muss das Verhalten gehäuster Bauelemente aus Wafer-Level-Tests ableitbar sein. Im Folgenden (Tabelle II.4) sind einige Merkmale für den Wafer-Level-Test und den Test gehäuster Bauelemente aufgeführt.

**Design for Test:** Anforderungen wie Selbst-Test (BIST) und Selbstkalibrierung müssen zukünftig durch das Design und die Simulation geleistet werden. Probleme bereiten insbesondere fehlendes Know-how in diesem Bereich sowie die Tatsache, dass Testverfahren bei MEMS applikationsspezifisch und somit für jedes Bauelement eigens zu entwickeln sind.

**Tab. II.3: Messmethoden zur Stress- und Deformationsanalyse [II.12]**

Messmethode	Messergebnis
Elektronische Speckle-Muster-Interferometrie	Lokale Verschiebungen und Dehnungen oder Verschiebungs- und Dehnungsfelder
Moirè Interferometrie	
Digitale Bildkorrelation	
Röntgen-Deformationsanalyse	Biegespannungen
Röntgen-Spannungsanalyse	Lokale mechanische Spannungen in kristallinen Materialien
Test-Chip	Lokale Dehnungen und Spannungen
DMS	Lokale Dehnungen

**Tab. II.4: Vergleich der Merkmale bei Test auf Wafer-Level und auf Bauelemente-Ebene [II.3]**

Merkmals/Testebene	Wafer-Level	Bauelemente-Ebene
Physikalische Stimulation	Nicht für alle gemessenen Variablen möglich	Einfach, da alle Schnittstellen vorhanden sind
Messeinrichtung	Mit physikalischer Stimulation teuer Sequentielles Testen	Hohe Kosten für Test-Adapter Teure automatische Mehrkanalmessung
Messbare Variablen	Ein-Ausgabe-Variablen Elektrische Parameter auf Systemzwischenebenen erfordern Testpunkte	Normalerweise nur Ein-Ausgabe-Variablen nach Signalverarbeitung Testmodus optional, falls eingebaut
Getestete Elemente	Spezifische Tests von Bauelementen ohne Störung durch AVT	Test kompletter MST, einschließlich AVT-Effekte
Zweck	Messung grundlegender Funktionseigenschaften MST Prozessmesstechnik & Kontrolle Beseitigt fehlerhafte Sensorelemente bei reduzierten Kosten	Systemtest Messung nutzungsbezogener Merkmale Funktionalität Zuverlässigkeit Burn-in
Testdauer	Schnelle Tests Ermöglicht schnelle Regelkreise zu Mikroproduktionsprozessen	Langzeittests Ausgerichtet auf Stabilität und Langzeitverhalten

**Beschleunigte Testverfahren:** Hierzu bedarf es Wissen, um die Physik von Ausfallursachen von MST-Komponenten und MEMS besser zu verstehen. Speziell RF-MEMS kommen oft nicht zum Einsatz, da ihre Zuverlässigkeit nicht ausreichend nachgewiesen werden kann. Eine bessere Kenntnis der Ausfallursachen ermöglicht eine größere Zuverlässigkeit und die Entwicklung beschleunigter Testverfahren für Zuverlässigkeitsuntersuchungen.

**Verbreitung von bekanntem Test-Know-how:** Oftmals existieren spezielle Testverfahren als proprietäres Wissen in Unternehmen, die aber nicht verbreitet werden. Hier könnte ein Teilen der Informationen helfen, vorhandene Lücken festzustellen und diese gemeinsam zu überwinden. Dazu ist Forschung und die Entwicklung von Wissen in diesen Bereichen erforderlich. Daraus lassen sich dann standardisierte Testmethoden sowie beschleunigte Testverfahren für Zuverlässigkeitsuntersuchungen entwickeln.

**Standardisierung:** Um die Vergleichbarkeit und Übertragbarkeit zu verbessern ist eine Standardisierung von Belastungsprofilen („Mission Profiles“) zwingend notwendig.

### II.5.2 Zusammenfassung Test

Als zukünftige Anforderungen an Testverfahren für stressarme MST-Packages können genannt werden:

- Kostenreduktion
- Berücksichtigung von Testbarkeit, Testmethoden und ggf. Selbsttest bereits beim Design
- Entwicklung von Testverfahren auf Wafer-ebene, die auf gehäuste Bauelemente übertragbar sind
- Erforschung der Ausfallursachen von MST-Komponenten zur Erhöhung der Zuverlässigkeit
- Schaffung standardisierter Testverfahren
- Standardisierung von „Mission Profiles“ für MST-Packages

# III. Materialien

## III.1 Anforderungen an Materialien in der AVT

Die drei Aspekte der Aufbau- und Verbindungstechnik

- Packagingkonzepte
- AVT-Prozesse und
- Materialien

stehen in unmittelbarer Wechselwirkung. Sie können daher nicht isoliert betrachtet werden. So werden neue Konzepte oder Packaging-Architekturen in der Regel erst durch neue Herstellungsverfahren oder durch neue Materialien ermöglicht. Daneben bilden Materialentwicklungen in vielen Fällen die Basis für neue Prozesse. Aus diesem Grund sollen in diesem Kapitel die Materialien immer eng an die Prozesse gekoppelt behandelt werden. Mit Hilfe der Materialien und Prozesse sollen bestimmte Grundstrukturen der AVT erzeugt werden:

Schaltungsträger

- Substrate
- Leiterbahn- und Funktionsstrukturen

Verbindungstechnik

- Assembly und Montageverbindungen
- Kontaktierungen

Einhausung von Baugruppen oder Bauelementen

- Schutzschichten
- Gehäuse und Stecker
- Schnittstelle zur Umgebung/Messgröße
- Nicht-elektrische Schnittstellen (Wärme, Medien, mechanische Größen, Licht)

Für die Materialien der AVT gilt zunächst pauschal die Forderung, dass sie Fertigungsprozesse mit den oben genannten Anforderungen ermöglichen sollen, die physikalisch-chemische Basis für die relevanten Produktmerkmale bilden und darüber hinaus die Einsatzphase unter Betriebsbedingungen ohne Degradation oder Fehler überstehen müssen. Im Einzelnen sind hier zu sehen

- Funktionalität
- Schutzwirkung
- Eignung für vorgesehene Anwendungsklassen
- Keine Degradation bei Betrieb und Lagerung
- Ungiftigkeit, einschließlich der Vorprodukte
- RoHS-Kompatibilität
- Zugelassen in medizinischen Anwendungen (FDA)

Bei gegebener Prozesseignung stellen Materialien bestimmte Grundfunktionalitäten bereit. Dabei kann man unterscheiden zwischen den herkömmlichen Aufgaben der Aufbau- und Verbindungstechnik und aktiven Funktionen, durch welche auch sensorische oder aktorische Eigenschaften bereitgestellt werden. Diese Funktionalitäten werden im Zusammenhang mit der zunehmenden mechatronischen und mikrosystemtechnischen Integration immer wichtiger. Dabei ist häufig eine klare Trennung der Systemebenen zwischen Zero-Level (on Chip) und Level Drei (Gerät) nicht mehr möglich. Eine Übersicht der wesentlichen Funktionalitäten von Materialien für die AVT ist in der folgenden Tabelle III.1 gelistet.

**Tab. III.1: Materialfunktionalitäten in der Aufbau- und Verbindungstechnik**

Materialfunktion in der AVT	Relevante Werkstoffeigenschaft
Isolatorfunktion	Hochohmigkeit, Dielektrizitätskonstante, Verlustfaktor ( $\tan\delta$ ), Isolationswiderstand, Durchschlagsfestigkeit, Time-to-dielectric-breakdown (TtdB)
Thermal-Management-Funktion	Wärmeleitfähigkeit, Schmelz- oder Zersetzungstemperatur, Wärmekapazität
Leiterfunktion	Elektrische Leitfähigkeit, Oberflächenqualität, technologieabhängige Leiterbahnbreite, Pitch
Elektronische Funktion	Widerstand, Kapazität, Induktivität
Sensorfunktion	Auf physikalische Größen empfindliche Funktionalitäten (Spezifischer Widerstand, Permittivität, Permeabilität, Piezoelektrik)
Schutzfunktion	Geringe Diffusionskonstante für H <sub>2</sub> O, Organika, Gase, Defektfreiheit, Pinholefreiheit, Adhäsion, Stressfreiheit
Strukturfunktion (Schaltungsträger, Gehäuse)	Festigkeit, Ausdehnungskoeffizient, thermische Leitfähigkeit, Formstabilität

Nachfolgend werden die betrachteten Grundtypen der Prozessanwendungen systematisiert. Prozesse haben eine besondere Bedeutung in Bezug auf Zuverlässigkeit und Folgekosten aufgrund mangelnder Zuverlässigkeit. Die Erfahrungen belegen, dass in vielen Fällen Fertigungsfehler die Ursache für Qualitätsmängel und Frühausfälle bei Kunden waren. Dagegen spielt eine unzulängliche Auslegung in Bezug auf End-of-life offenbar eine geringere Rolle für Ausfälle der Elektronik im

Einsatz. Man kann daher die Aussage treffen, dass die Fertigungstechnik mit dem Anfangsteil der Badewannenkurve der zeitabhängigen Zuverlässigkeit verantwortlich gemacht werden muss, die Auslegung dagegen für die Lebensdauer bei regulärer Fertigung [III.1].

Die aus unserer Sicht wesentlichen Beiträge von Materialien zur Beeinflussung von Prozessen sind in der folgenden Tabelle III.2 zusammengefasst.

**Tab. III.2: Beiträge von Materialien zur Erfüllung von Prozessanforderungen**

Prozessanforderung	Beitrag der Materialien
Hohe Prozessgeschwindigkeit, hoher Durchsatz	Härtungsgeschwindigkeit, Reaktionsrate
Hohe Ausbeute, geringer Ausschuss, Robustheit	Alterung Vormaterial, Lagerfähigkeit, Topfzeit, Schwankungen
Automatisierbarkeit	Reproduzierbarkeit des Materialauftrags, Homogenität von Zusammensetzung und Eigenschaften, Dosierbarkeit, Viskosität
Geringe Fertigungsstückkosten	Geringe Prozess-/Reaktionszeit, hohe Härtungsgeschwindigkeit
Herstellung dreidimensionaler Strukturen	Lokale Applizierung, lokale Härtung, Replizierbarkeit
Geringer Material- und Energieeinsatz	Dosierbarkeit mit Standard- und neuen Verfahren (Ink-Jet), neue Härtungsmethoden
Geringer Investitionsaufwand	Applizierung mit Standardverfahren
Skalierbarkeit, Eignung für Rapid Prototyping	Dosierbarkeit, lokale Härtung
Eignung für Nacharbeit	Rückstandslose Entfernbarekeit, Reversibilität, Fügeprozess

Weitere technische Anforderungen an Herstellungsprozesse der AVT umfassen die zunehmende Beherrschung

- Geringer Strukturdimensionen
- Dreidimensionaler Bauteiltopologien
- Verzicht auf Masken und Formwerkzeuge

Im Folgenden sollen Trends bei Materialien unter den Aspekten AVT-Funktionalität und Prozessbeeinflussung systematisch betrachtet und bewertet werden.

### III.2 Erwartungen der Anwender

Eines der wesentlichen Ziele des ZVEI-Workshops ‚AVT-Expertentreffen Stressarme MST Packages‘ war die Identifikation von neuen Entwicklungen und Trends bei Materialien und Prozessen durch Abfrage der subjektiven Einschätzungen der Teilnehmer. Ein Ergebnis des Workshops war eine strukturierte Übersicht über die Trends bei den zukünftigen Anforderungen an Materialien und Prozesse. Auf Basis dieser Aussagen lässt sich der Forschungs- und Entwicklungsbedarf bei den Materialien definieren. Die Erwartungen sind strukturiert worden und in der folgenden Übersicht zusammengefasst:

Strukturierte Materialauswahl

- Materialbasierte, Systemebenen übergreifende Simulation
- Prognose und Optimierung der Drift von Sensoren

Stabilität von Materialien gegen

- Feuchtigkeit, Medien, Kontamination
- Hohe Temperaturen und Temperaturwechsel

Oberflächen

- Charakterisierung
- Stabilität
- Funktionalisierung
- Adhäsion

Schutzkonzepte gegen Feuchtigkeit, Medien, Gase

- Biostabilität und Biokompatibilität von Materialien
- Thermoplaste
- Beschichtungsmaterialien

Elektrische und thermische Leitfähigkeit

- Montagematerialien (Klebstoffe und Wärmeleitpasten)
- Hohe Wärmeleitfähigkeit (diamantgefüllte Wärmeleitpasten)
- Hohe elektrische Leitfähigkeit
- Folienform
- Hohe Temperaturstabilität
- Ersatz für Lötverfahren

Stressbeherrschung (Forschungsbedarf)

- Ersatz für Entkopplungsmaterialien
- Low-stress Epoxide
- Verbesserte Methoden der Auslegung

Miniaturisierung

- Self-Assembly
- Bleifreie Verbindungstechnik
- Multifunktionale Materialien

Fast Prototyping

- Seriennah

3D-Packaging Roadmap

- Randbedingungen: Europa, kleine und mittlere Serienvolumina

Sonstiges

- Materialien, gute Lagerfähigkeit
- Topfzeit

### III.3 Entwicklungstrends der letzten Jahre bei AVT-Materialien

Tabelle III.3 fasst die im Rahmen einer Umfrage genannten Angaben zunächst in unstrukturierter Form zusammen. Erst wurden die vergangenen fünf Jahre bewertet, anschlie-

**Tab. III.3: Entwicklungstrends der letzten fünf Jahre bei AVT-Materialien**

1	Silber-Kaltsintermaterialien
2	Leiterplatten-Basismaterialien für Embedding-Technologien Embedding von aktiven Komponenten: CTE angepasste Einbettmaterialien
3	Thermoplaste für Packaging-Anwendungen
4	Multi-Material Systeme
5	Bereich Leistungselektronik Hochtemperaturbeständige Kontakt- und Vergussmaterialien bis 200 °C
6	Niedertemperatur-Fügeverfahren, insbesondere Kleben
7	Umsetzung der bleifrei Technologie, niedrigschmelzende bleifreie Lote

Bend Erwartungen bis 2014 formuliert. Die wichtigsten materialbezogenen Entwicklungstrends auf diesem Gebiet in den letzten fünf Jahren sind in Tabelle III.3 gelistet.

Weiterhin wurden als allgemeine Trends die Miniaturisierung und erhöhte Zuverlässigkeits-Anforderungen in den Anwendungen identifiziert.

### III.4 Prognosen bis 2022

In diesem Kapitel werden, basierend auf den Entwicklungen der Jahre 2007 bis 2012, die von den Verfassern bis 2022 erwartbaren Trends prognostiziert. Die Tabelle III.4 stellt zunächst die von den Teilnehmern der Umfrage erwarteten Entwicklungstrends bei AVT-Materialien bis Ende 2022 dar. Anschließend werden die Trends aus Sicht der Arbeitsgruppe Materialien AVT-bezogen in eigenen Kapiteln bewertet.

**Tab. III.4: Erwartete Entwicklungstrends bei AVT-Materialien bis Ende 2022**

1	Anorganische Barrierschichten, die auf AVT-Polymeren abgeschieden werden
2	Gefüllte leitfähige Klebstoffe für Jet-Applikation
3	Materialien zur hermetischen Wafer-Wafer-Montage mit elektrisch leitenden Durchführungen
4	Zunehmender Materialmix
5	Haftungsoptimierte Materialien für die heterogene Integration
6	Hochtemperaturbeständigkeit > 250 °C
7	Alternative Substratmaterialien (Silizium-Interposer, Glas)
8	Verstärkte Nutzung von Nanoeffekten für Packagingaufgaben
9	Raumtemperaturfügeverbindungen für MEMS und Elektronik
10	Entwicklung von Materialien für heterogene Integration

Zusammenfassend erwarten die Anwender, dass zukünftig kostengünstige Materialsysteme bereitstehen, welche

- Als Multimaterialsysteme komplex aufgebaut sind
- Stabile und kompatible Verbunde bilden
- Geringen Packagingstress erzeugen
- Bei niedriger Temperatur deutlich unter 200 °C erzeugt werden und
- Bis mindestens 200 °C, eventuell sogar über 250 °C, einsetzbar sind

Speziell für Leistungsanwendungen werden als zusätzliche Eigenschaften gefordert:

- Hohe elektrische Leitfähigkeit und geringer thermischer Widerstand oder
- Gutes elektrisches Isolationsvermögen in Verbindung mit geringer thermischer Impedanz

### III.4.1 Schaltungsträger (Substrate, Leiter- und Funktionsstrukturen)

#### Leiterplatten

Multilayer-Leiterplatten auf Basis von Epoxid/Glas/Kupfer werden voraussichtlich auch in

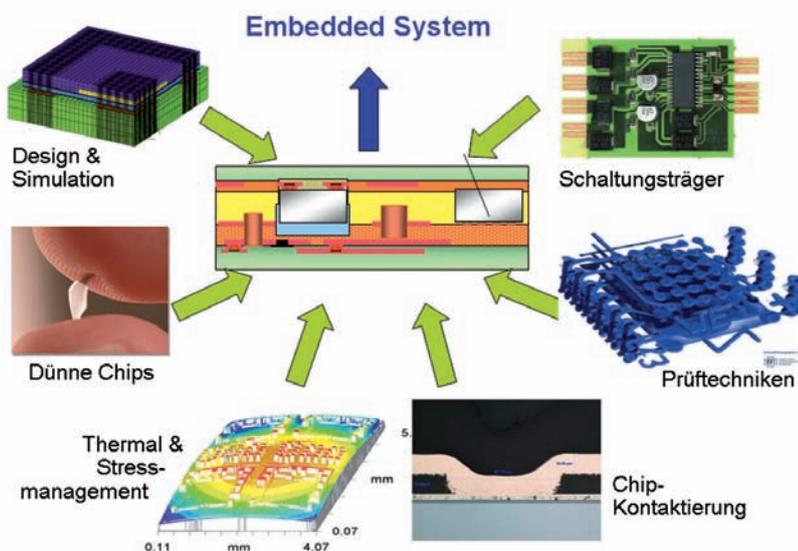
den nächsten Jahrzehnten die dominierenden Schaltungsträger bleiben, da sie kontinuierlich weiterentwickelt werden. Trends umfassen insbesondere die zunehmende Integration von Bauelementen in das Substrat (Embedding) und die Erschließung von Anwendungen, für die Leiterplatten ursprünglich nicht konzipiert waren, wie hohe Ströme, hohe Verlustleistungen und Temperaturen über 125 °C. Wesentliche Voraussetzung hierzu ist dabei die Weiterentwicklung der Basismaterialien.

#### Embedding-Techniken

Embedding-Techniken sind einer der wesentlichen AVT-Trends bei Leiterplatten. Die Einbettung von Chips, passiven Bauelementen und Sensoren bedeutet eine grundlegende Weiterentwicklung des Verbundwerkstoffs Leiterplatte, der bislang im Wesentlichen auf die Komponenten Epoxidharz, Kupfer und Glasfasern beschränkt ist. Während es sich vordergründig um eine Materialentwicklung handelt, ist in Realität eine vollkommen neue Technologie zu entwickeln, welche neben der Schaltungsträgerherstellung auch Kontaktierung, Montagetechnik, Design, Auslegung, Thermal Management und Zuverlässigkeit umfasst (Abb. III.1). So werden für die Ankontaktierung der Chips elektrochemische Prozesse genutzt, die bisher für die Durchmetallisierung von Vias zum Einsatz kamen. Obwohl bereits Lösungen am Markt sind (AT&S, Schweizer Electronic, Würth Elektronik), hat das Thema weiterhin großen Forschungsbedarf. So sind noch Schlüsselfragen zu lösen, wie die CTE-Anpassung durch die Bereitstellung geeigneter kompatibler Materialien (Abb. III.1).

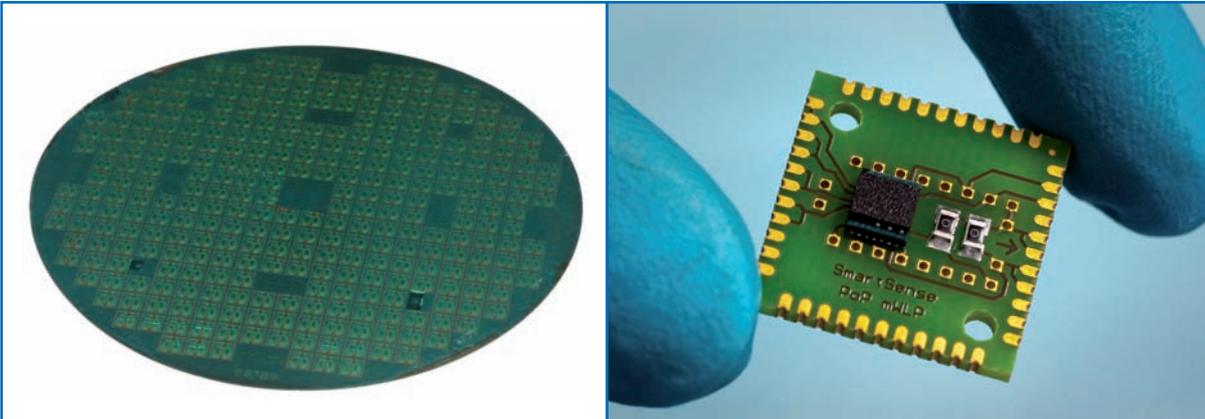
Ein weiteres Einbett-Verfahren nutzt das 3D-Printing, bzw. die Stereo-Lithographie. Hier können komplette Schaltungen form- und maskenlos mittels Rapid Prototyping aufgebaut werden. Die Komponenten werden dabei sukzessive mit eingebaut, die elektrischen Leiter im Anschluss als leitfähiger Klebstoff eingespritzt.

**Abb. III.1: Schlüsselfragen bei Embedding-Techniken auf Basis von Leiterplatten**



Quelle: IMTEK – AVT [III.2, Embedding-Workshop]

**Abb. III.2: Rekonfigurierter Moldwafer (links) und Package mit Through Mold Vias, hergestellt in rekonfigurierter Moldwafer Technologie (rechts)**



Quelle: Fraunhofer-IZM

Auch im Bereich ‚Einbetttechnologie in Verkapselungsmaterialien mittels der rekonfigurierten Wafermoldtechnologie‘ gibt es weltweite Forschungs- und Entwicklungsaktivitäten sowohl von der Industrie als auch von Forschungsinstituten. Als Technologietreiber in diesem Bereich sind sowohl Infineon mit seinem Embedded Wafer Level Ball Grid Array (eWLB) Package als auch Freescale mit dem Redistributed Chip Package (RCP) zu nennen. Technologiebasis ist hier ein Zusammensetzen eines Wafers aus Einzelchips, das Verkapseln des Wafers und anschließende Umverdrahtung der Chips. Stand der Technik sind hier Einzelchip-Packages mit einem BGA- bzw. LGA-Pinout, die sich bereits in der Massenfertigung befinden. Aktuelle Forschungsthemen liegen im Bereich Multichip-Packages in Kombination mit passiven Komponenten, Durchkontaktierungen durch das einbettende Verkapselungsmaterial (TMV = Through Mold Vias) zur Realisierung stapelbarer Packages (Abb. III.2) sowie bei Technologien, die den Übergang vom rekonfigurierten Waferformat (aktuell bis 300 mm) zum rekonfigurierten Panel mit Geometrien über 450 x 600 mm<sup>2</sup> ermöglichen.

### **Hochleistungsleiterplatten, Hochstromsubstrate**

Für Anwendungen im Hochstrom- und Hochleistungsbereich dominieren bislang immer noch keramische Schaltungsträger die Anwendungen, insbesondere Direct-Bonded Copper auf Al<sub>2</sub>O<sub>3</sub> oder AlN. Die Gründe hierfür sind die hohe thermische Leitfähigkeit, hohe Stromtragfähigkeiten von einigen hundert Ampere und zugleich die hohe Durchschlagsfestigkeit von über 10.000 Volt. Da für keramische Substrate wie DCB (Direct Copper Bonded Substrate) die Kosten in den letzten Jahrzehnten signifikant gesenkt werden konnten, ergaben sich kaum Alternativen für den Höchstleistungsbereich. Für viele Anwendungen der Leistungselektronik gibt es jedoch enge Kostenlimits und den Wunsch, hochfunktionale Ansteuerschaltungen mit den Leistungsendstufen zu integrieren. Dies ist einer der Gründe, warum derzeit intensive F&E-Anstrengungen unternommen werden, zu DCB vergleichbar dicke Kupferschichten in Leiterplatten zu integrieren. Hierzu wurden bereits einige Lösungen am Markt verfügbar gemacht:

Im Rahmen des EU Projektes ‚HERMES‘ (High density integration by embedded chips for reduced sized modules and electronic sys-

tems) wurde ein integriertes Leistungsmodul in Einbetttechnik realisiert. Das als Grundlage dienende, existierende Leistungsmodul besteht aus einem DCB und einer Standardleiterplatte: für den Leistungsteil ein Keramiksubstrat mit dickem Kupfer auf beiden Seiten, die Logikschaltung auf der Standardleiterplatte. Das Ziel des Projektdemonstrators in Einbetttechnik war es, die Leistungshalbleiter in eine Leiterplatte einzubetten und die Logik-ICs sowie die passiven Bauelemente darauf zu montieren. Die IGBT-Leistungshalbleiter wurden dazu auf einer Kupferfolie mittels hoch leitfähigen Silberleitklebstoffs montiert und anschließend in FR4-Prepreg eingebettet. Logik und passive Bauteile werden auf der Oberseite der so entstandenen Leiterplatte montiert. Die Rückseite des Chips ist durch ein thermisches Prepreg, mit der zur Kühlung erforderlichen thermischen Leitfähigkeit, vom Kühlkörper elektrisch isoliert. Ein Beispiel ist in Abb. III.3 gezeigt.

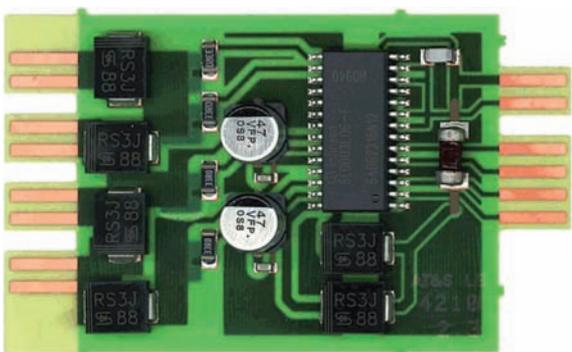
Technologien der Hochstromleiterplatten haben wegen des hohen Anwenderbedarfs und des Kostensenkungspotenzials gute Aussichten für deutlich breitere Anwendungen in der Zukunft. Hier sind speziell mechatronische Anwendungen attraktiv. Daneben erwarten wir, dass sich die Marktverfügbarkeit immer verlustärmerer Leistungsbaulemente hier deutlich fördernd auswirkt.

### Dreidimensionale keramische Schaltungsträger

Während sich MID kontinuierlich am Markt behaupten, gibt es den Anwenderwunsch, statt thermoplastischer Materialien keramische Werkstoffe einzusetzen. Die technischen Erfordernisse umfassen geringe thermische Ausdehnungskoeffizienten ( $< 5 \text{ ppm/K}$ ), hohe Temperaturstabilität ( $> 300 \text{ °C}$ ) und große thermische Leitfähigkeit ( $> 5 \text{ W/mK}$ ). Diese sind mit den gängigen Polymeren nicht erreichbar. Von daher werden derzeit Forschungsanstrengungen unternommen, Keramiken als multifunktionale 3D-Schaltungsträger beispielsweise für die Sensormontage zu erschließen. Hierfür kommen verschiedene Technologien in Frage:

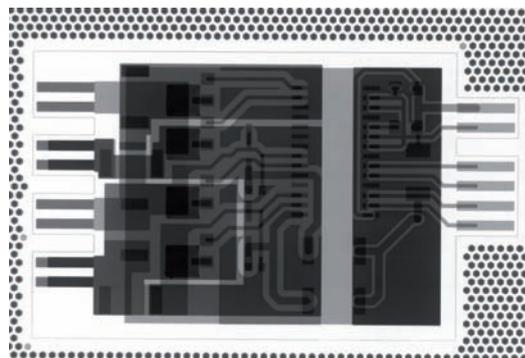
- Für Massenanwendungen steht der Spritzguss keramischer Massen mit anschließendem Brennen zur Verfügung. Laufende Arbeiten beschäftigen sich mit der Materialentwicklung für neue Formmassen, dem Umspritzen von Metallstrukturen und der Erzeugung von Verbundteilen (Abb. III.4).
- Für kundenspezifische Bauteile werden derzeit Prozesse der generativen Bauteilherzeugung, teilweise auch Rapid Prototyping erforscht. So können beispielsweise keramische Pulver über Ink-Jet-Verfahren zu Grünlingen verklebt werden, welche anschließend gebrannt werden. Ein Verfahren mit sehr geringem produktionsbedingtem Schrumpfung

**Abb. III.3a: Leistungsmodul mit montierten SMD**



Quelle: Fraunhofer-IZM

**Abb. III.3b: Röntgenaufnahme des Leistungsmoduls mit vier eingebetteten Leistungshalbleitern**



Quelle: Fraunhofer-IZM

ist das Laser Selective Melting, das gleichermaßen für metallische wie auch für keramische Werkstoffe zur Verfügung steht. Mit Hilfe berührungsloser Druckverfahren von Metallen ist es auch möglich, in oder auf den Bauteilen 3D-Leiterstrukturen herzustellen.

**Abb. III.4: Dreidimensionales Sensorsubstrat für die Montage von Drucksensoren**



Quelle: IMTEK – AVT

Die beschriebenen Bauteile sollen nach der Erzeugung ähnlich wie MID weiter zu kleinen 3D-Baugruppen integriert werden (Abb. III.4). Die genannte Technologie befindet sich derzeit in der Phase intensiver Erforschung. Ein wesentlicher Schlüssel zur in der Breite erfolgreichen Industrialisierung sind jedoch Materialentwicklungen bei den keramischen Massen, bestehend aus Pulvern und Hilfsstoffen sowie bei den metallischen Leiterwerkstoffen, welche sowohl fähig für Cofiring als auch dreidimensional applizierbar sind.

**Alternative Substratmaterialien (Silizium-Interposer, Glasscheiben)**

Unkonventionelle Materialkonzepte werden in der Regel bei hoch spezialisierten Lösungen der AVT erforderlich. Glassubstrate als Schaltungsträger sind etwa bei aktiven Panels

oder Displays zu finden, bei denen zusätzlich zu den optischen Funktionen die elektronischen Schaltkreise auf dem gleichen Substrat bestückt sind. Zukünftig ist die verstärkte Verwendung von Glassubstraten bei miniaturisierten Aufbauten zur Datenübertragung und in der Sensorik zu erwarten. Die höhere Leistungsfähigkeit bei der optischen Übertragung der Daten, sei es ‚Chip-to-Chip‘ oder ‚Module-to-Module‘, ermöglicht es, der Forderung nach leistungsfähigeren Rechnern zu entsprechen. Aber auch bei der elektrischen Signalweiterleitung kommen Glassubstrate bei steigenden Taktraten infolge der geringen Leistungsverluste vermehrt zum Einsatz.

Silicon Interposer mit Durchkontaktierungen (TSV = Through Silicon Via) finden insbesondere bei der Realisierung von 3D-System-in-Packages Anwendung. Haupttreiber für diesen Ansatz sind entsprechend internationaler Marktstudien drei Produktgruppen:

- Performance-getriebene digitale Systeme (MPU, GPU, Speicher)
- Miniaturisierte Bildverarbeitungssysteme (Bildsensoren)
- Multi-Sensor-Systeme (MEMS, ASIC, Transceiver)

Bei diesen Produkten kommt es darauf an, anwendungsspezifische Komponenten unterschiedlicher Funktionalität, etwa Sensoren, Energieversorgung, Signalverarbeitung, Signalübertragung und Speicherung, auf engstem Raum zu integrieren. Der heterogene Integrationsansatz unter Nutzung der dritten Dimension bietet hier genau die Vorteile, kleine kompakte Bauformen, kurze Signalwege und Energieeffizienz, die derartige Systeme zukünftig erfordern. Darüber hinaus können die Produkte schnell und kosteneffizient realisiert und auf den Markt gebracht werden (Time-to-Market). Somit kann dem Trend zu immer kleineren Losgrößen bei höherer Kundenspezifität entsprochen werden.

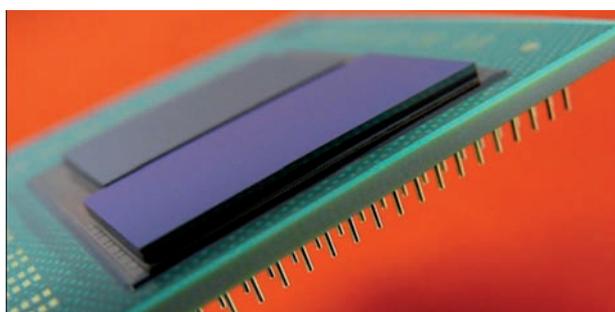
Die speziellen Vorteile der Silicon Interposer liegen in der Entkopplung von Front-End- und Back-End-Prozessen. Während bei den verwendeten Halbleitern auf Komponenten aus Prozessen mit sehr hohen Stückzahlen zurückgegriffen werden kann, erfolgt mit den Silizium-Interposern die spezielle Anpassung an die Anforderungen individueller Produkte (Abb. III.5). Erste Produktbeispiele sind kundenspezifische Chipsätze, aufgebaut aus Standardkomponenten gleicher Herstellungstechnologie in einer Integrationsdichte, die monolithischer Integration nahe kommt.

Auch bei der Integration von Komponenten unterschiedlicher Herstellungstechnologien wird die heterogene Integration unter Verwendung von Silizium-Interposern in Zukunft deutlich mehr Verwendung finden, etwa bei Integration von

- Siliziumbasierten Treiber-ICs und Verbindungshalbleitern
- Mikrooptischen Bauteilen in opto-elektrischen Schaltkreisen
- Elektronik und MEMS

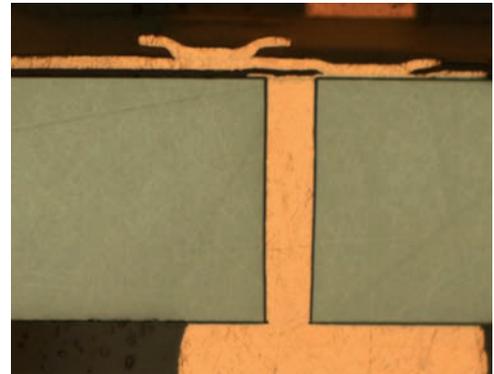
Der hohe Miniaturisierungsgrad, die guten elektrischen Eigenschaften und die vergleichsweise gut eingefahrenen Fertigungsprozesse lassen auch den vermehrten Einsatz bei der Realisierung von Schaltungsaufbauten für Höchstfrequenz-Anwendungen erwarten. Ein weiterer Vorteil sind die mechanischen und elektrischen Eigenschaften der Interposer, die vergleichbar gut sind wie bei den aktiven Komponenten.

**Abb. III.5a: Organisches Packaging (PGA) – eines TSV Interposers mit Flip-Chip – montierten Bauteilen.**



Quelle: Fraunhofer-IZM – ASSID

**Abb. III.5b: Querschnitt des 100 µm dicken Silizium-Interposers aus Abb. III.5a mit Cu-TSV, d = 20 µm**



Quelle: Fraunhofer-IZM – ASSID

### III.4.2 Verbindungstechniken (Assembly und Kontaktierung)

Während sich bei den Lotwerkstoffen in der SMT das SAC (Sn Ag Cu) für Lote weitgehend etabliert hat, ist in der Leistungselektronik die Frage des Ersatzes im Schmelzpunkt abgestufter bleifreier Lotlegierungen noch nicht vollständig gelöst. Daher wird derzeit intensiv an Alternativverfahren zum Löten gearbeitet.

#### Lotwerkstoffe

Bei den Lotlegierungen sind neben kontinuierlichen Verbesserungen an SAC derzeit keine grundlegenden Änderungen der benutzten Lötssysteme, bestehend aus Lot, Flussmittel und Hilfsstoffen absehbar. Für Hochtemperatur-Anwendungen bis etwa 160 °C bis 175 °C hat das Innot (C) das Potenzial zu breiterer Anwendung und es wird im Rahmen von F&E-Vorhaben evaluiert. Teilweise wird von Anwendern über Versuche mit eigens entwickelten Lotlegierungen berichtet, diese haben jedoch vermutlich keine strategische Bedeutung. In der Forschung wird verstärkt versucht, nanoskalige Effekte bei Lötaufgaben zu nutzen, beispielsweise die Schmelzpunktabenkung. Diese müssen aber noch in die industrielle Fertigungstechnik übertragen werden. Weitere in der Forschung laufende Untersuchungen betreffen Interdiffusionsverfahren (SLID), bei

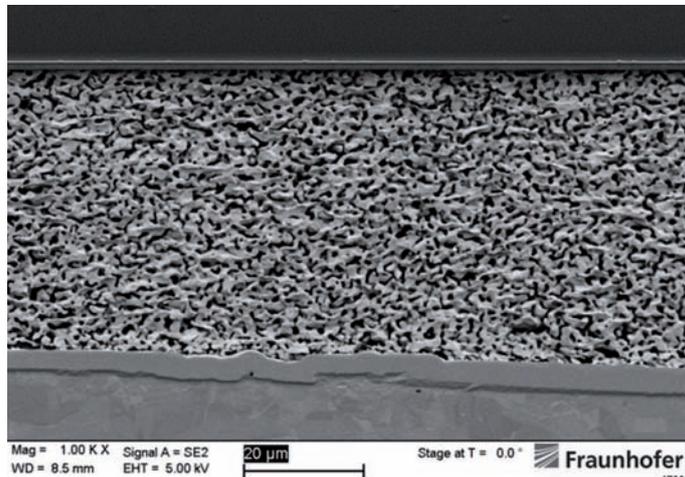
denen aus niedrig und hoch schmelzenden Metallen hoch schmelzende ( $> 400\text{ °C}$ ) Intermetallische Phasen in Systemen wie Ag-In, Au-In, Ag-In, Cu-Sn oder Cu-In gebildet werden. Diese Ansätze sind für manche Anwendungen wie Hochtemperatur-Leistungschips oder das Waferbonden sehr vielversprechend, aber noch weit von der Industrialisierung entfernt.

### Sintertechniken (NTV)

Das Sintern nano- und mikroskaliger Silberpulver zur Montage von ungehäuteten Leistungsbau-elementen wird derzeit durch intensive Forschungsarbeiten in der Leistungselektronik etabliert. Dabei erfolgt die Verbindungsbildung zwischen Chip und Substrat unter moderatem Druck ( $< 40\text{ MPa}$ ) und Temperatur ( $< 250\text{ °C}$ ) durch Sintern. Das Verfahren verspricht geringsten thermischen Widerstand und hohe Wechselfestigkeit auch bei großen Junction-Temperaturen. Darüber hinaus begrenzt die relativ niedrige Fügetemperatur sowohl den Bauteilstress als auch die thermische Belastung, während die zulässige Betriebstemperatur theoretisch beim Schmelzpunkt von Silber liegt. Derzeit gibt es mehrere Anbieter von Materialien, die in Form von Pasten oder Preforms an die Anwender geliefert werden. Obwohl bereits einige Baugruppen oder Leistungsmodul als Referenzprodukte existieren, wird noch intensiv an den Sintertechniken geforscht (Abb. III.6).

Insbesondere bei den materialkundlichen Grundlagen besteht noch großer Nachholbedarf gegenüber dem Lötten. Zu den offenen Fragen gehört die Nutzung für thermomechanisch schlecht angepasste Substrate wie Kupfer, der teilweise noch nicht ausreichend definierbare Materialzustand nach dem Sintern und die Langzeitbeständigkeit oberhalb von  $200\text{ °C}$ .

**Abb. III.6: Durch Niedertemperatur-Sintern prozessierte Verbindungsschicht eines Leistungshalbleiters auf DAB-Substrat**



Quelle: Fraunhofer-IZM

### Elektrisch und thermisch leitfähiges Kleben

Der Einsatz des elektrisch oder thermisch leitfähigen Klebens ist auf Hybridschaltkreisen, auch für die Hochtemperaturrelektronik bis etwa  $200\text{ °C}$  seit einigen Jahren etabliert. Das Kleben von Bare Chips oder SMD auf keramischen Schaltungsträgern ist ein robuster, gut automatisierbarer Prozess, der zu sehr hoher Zuverlässigkeit bei thermisch-mechanisch hoch beanspruchten Schaltungen führt. Kleben mit oft isotrop elektrisch leitfähigen Klebstoffen (ICA = Kleben mit isotrop leitfähigem Klebstoff) ist das dominierende Verfahren für die Chipmontage bei mikromechanischen Sensoren oder Integrierten Schaltkreisen, da die hohe Verfügbarkeit und die hohe Produktvielfalt am Markt nahezu alle Anwendungen erschließt.

Die Mehrzahl der Materialien besteht aus Epoxiden unterschiedlicher Monomere und Härter, mit denen das grundlegende Temperatur- und Härungsverhalten gesteuert wird. Durch den Herstellprozess werden die Baugruppen wenig belastet, da die Temperaturen beim Härten zwischen Raumtemperatur (Strahlung) oder  $70\text{ °C}$  bis  $200\text{ °C}$  (thermisch)

einstellbar sind. Über die Füllstoffe und die Matrix können insbesondere CTE und Elastizität gesteuert werden. Dabei werden verstärkt auch Nanomaterialien als Bestandteil der Füllstoffe eingesetzt.

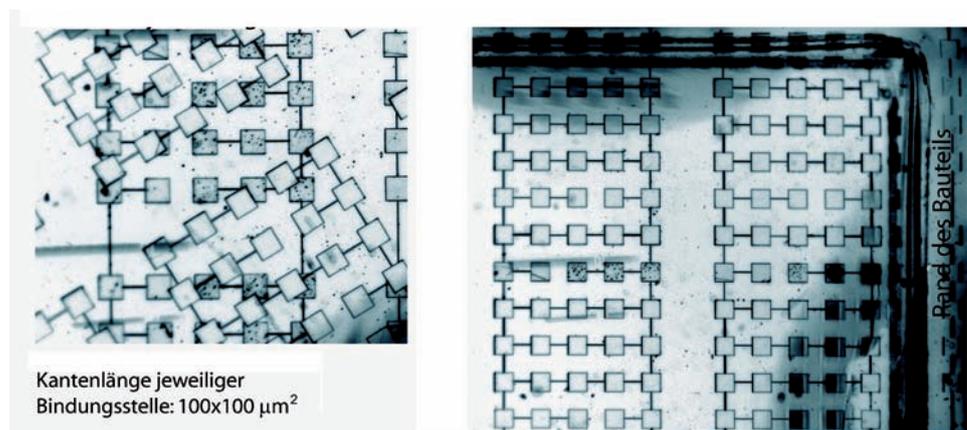
Die gegenüber den Loten um etwa eine Größenordnung geringere elektrische Leitfähigkeit spielt funktional keine große Rolle, eine vergleichbar verringerte thermische Leitfähigkeit ist in der Hochleistungs-Elektronik jedoch nicht tragbar. Das noch zu lösende wesentliche Problem ist dabei der thermische Übergangswiderstand an die Bauteile. Dabei wird u. a. versucht, das Problem durch Kombination von adhäsiven und metallischen Verbindungen (Sinterkleben) zu lösen.

Während niederviskose ungefüllte Klebstoffe bereits gut mit berührungslosen Verfahren wie Ink-Jet oder Verdüsung verarbeitbar sind, sind derartige Applikationsarten den höher gefüllten Klebstoffen bisher verwehrt. Wesentlicher Grund ist die hohe Viskosität technisch wirkungsvoll gefüllter Klebstoffe, welche begrenzt durch geeignete Prozessführung oder Düsenheizung vermindert werden kann. Zudem ist bei gefüllten Systemen auch die Interaktion von Füllstoff und Düse zu beachten. Insbesondere bei Pasten mit duktilen Partikeln (ICA, Lotpaste) ist durch geeignete Materialführung und Düsengeometrie sicherzustellen, dass keine Verformung der Parti-

kel und keine Verstopfung durch mechanisch agglomerierte Partikel auftritt. Hier besteht aktuell großer Forschungsbedarf. Tendenziell werden daher in Zukunft Klebstoffe mit höheren Füllstoffgehalten als bisher berührungsfrei dispensierbar.

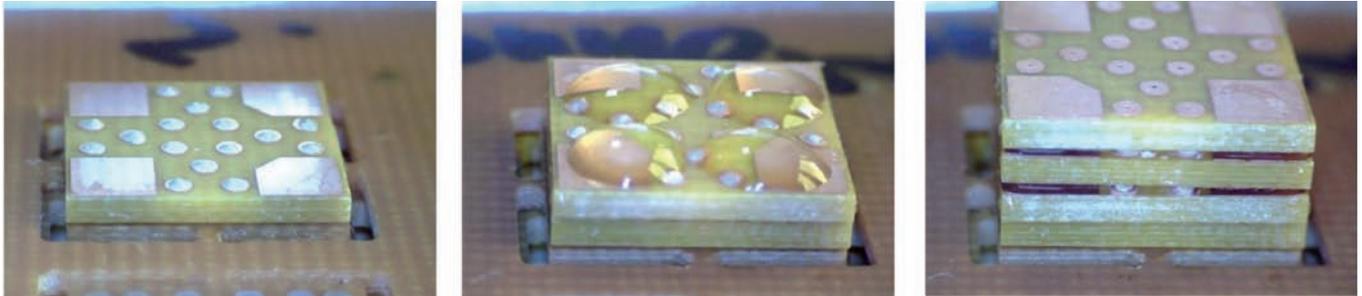
Weiterhin sind hoch gefüllte leitende Klebstoffsysteme derzeit noch wenig für Härtung durch Strahlung geeignet. Daher werden auch Dual-Cure-Systeme entwickelt, die eine Kombination aus UV und thermisch aktivierter Härtung erlauben. Insgesamt ist eine weitere Ausweitung der Anwendung strahlungshärtender Klebstoffe zu erwarten, da deren Härtungsprozess bauteilschonend, stressarm und energiesparend ist. Strahlungshärtende Klebstoffe eignen sich auch gut für adaptive Klebprozesse, bei denen Bauteile in einem Regelkreis positioniert und in der korrekten Lage durch einen Lichtimpuls (UV) unmittelbar fixiert werden [III.3, Self-Assembly] (Abb. III.7). Vergleichbare Lösungen für die Justage von auf Leiterplatten basierenden Packages mit thermisch härtenden Klebern wurden im Projekt MANOS unter der Leitung von Würth Elektronik entwickelt (Abb. III.8). Ein Verbreitungshindernis beim Leitkleben sind möglicherweise auch hohe Materialkosten bis zu etwa 2.000 Euro pro Kilo, die besonders bei großen Chips relevant werden.

**Abb. III.7: Self-Assembly durch elektrostatische Positionierung auf dem Flüssigkeitsfilm eines UV-härtenden Klebstoffs**



Quelle: IMTEK – AVT

**Abb. III.8: Selbstausrichtung von gestapelten Leiterplattenmodulen und simultane Kontaktierung durch Kombination von Justagekleber und ICA**



ICA auf Pads dosiert

Ausrichtung

Endzustand

Quelle: Projekt MANOS – Fraunhofer-IZM

### Kontaktierung

Die bereits sehr ausgereiften Drahtbondprozesse erfahren weitere graduelle Verbesserungen, auch bei den Drahtwerkstoffen. Eines der neuen Materialien ist Kupfer, welches erhöhte elektrische Leitfähigkeit, Wärmeleitfähigkeit und Festigkeit gegenüber Aluminium besitzt. Das Portfolio der Bonddrahthersteller bei Kupfer deckt den Dünndrahtbereich bis hin zu über 100 µm für leistungselektronische Anwendungen ab. Die zukünftige Bedeutung dieser Materialien wird aber im Wesentlichen von der Beherrschung der Bondprozesse abhängen.

### III.4.3 Einhausung (Gehäusestrukturen und Stecker)

#### Thermoplast für Premolded Packages und MID

Die Entwicklungen bei spritzgegossenen Bauteilen haben im Wesentlichen zu drei Grundformen geführt:

- Sensorgehäuse, welche von ihrer Topologie aus IC-Gehäusen abgeleitet sind und in der Regel nur wenige Bauelemente (MEMS und Auswerte-IC) beinhalten. Wichtigste Materialien sind LCP, PEEK oder PPS.
- Mechatronikgehäuse, welche zusätzliche Strukturen wie Stecker, Wärmesenken oder Medienanschlüsse aufweisen und in die ganze Baugruppen montiert werden. Typische Materialien sind PA oder PBT.

- Molded Interconnect Devices, welche zugleich dreidimensionale Schaltungsträger, Präzisions-Strukturbauteile und Gehäuse darstellen und die u. a. mittels SMT und Chip&Wire bestückbar sind (Abb. III.9). Wichtigstes MID-Material ist metallisierbares LCP.

**Abb. III.9: Dreidimensionaler Magnetfeldsensor in 3D-MID Technologie**



Quelle: Harting Mitronics

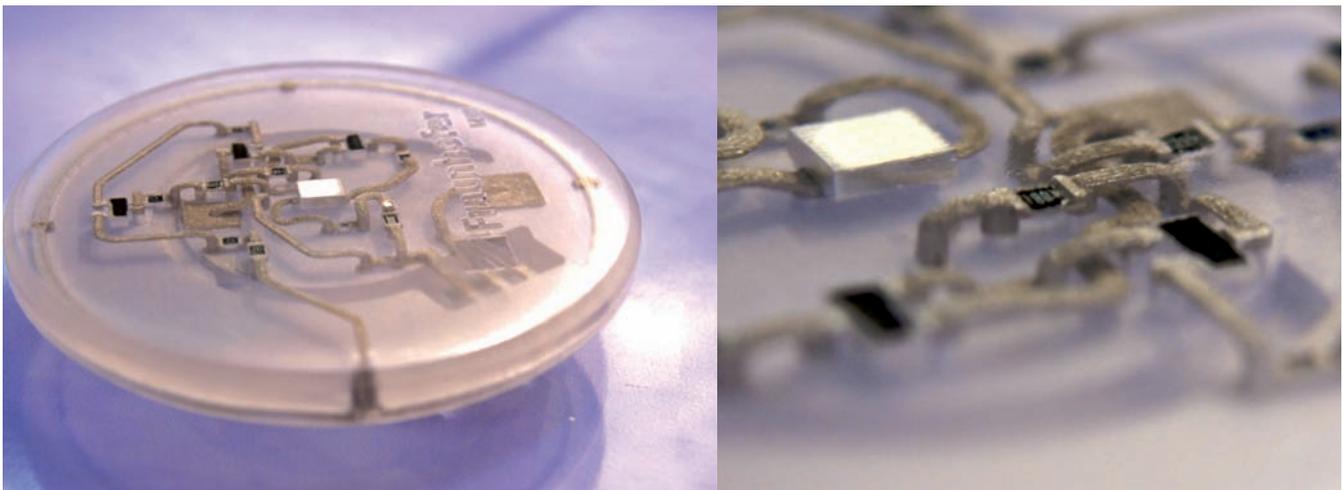
Die Betrachtung der letzten Jahre zeigt, dass die vorhandenen Materialien für diese Bauformen weitgehend optimiert wurden, mit Kriterien wie Abformgenauigkeit, Temperaturstabilität, CTE, Isotropie oder Reinheit. Eine Konvergenz der drei Grundformen ist wünschenswert, jedoch sind hier die unterschiedlichen Standardmaterialien und deren Kostenstrukturen ein mögliches Hindernis.

Insbesondere für die Gestaltung von stressarmen Packages sind die sehr verschiedenen Grundmaterialien ein Problem. Dadurch wird die Anzahl der Verbindungstechnologien eingeschränkt. Unterschiedliche Ausdehnungskoeffizienten und Verhalten gegenüber anderen Umwelteinflüssen, z. B. Wasseraufnahme machen Design und Realisierung sehr herausfordernd. Hier wären integrierende Entwicklungsansätze zu begrüßen, um im Sinne des Fortschritts zu gewissen Standards zu kommen.

Eine neu aufgenommene Entwicklung stellt die spritzgussbasierte Verkapselung dar. Dabei werden Bauelemente oder Baugruppen, z. B. auch MID nach dem Assembly mit Thermoplasten direkt umspritzt. Zu diesem Verfahren wurde in den letzten Jahren eine Reihe von Forschungsvorhaben begonnen oder durchgeführt. Materialaspekte waren dabei möglichst niedrige Spritztemperaturen, geringer Stress im Bauelement und hohe Schutzwirkung.

Der derzeitige intensive Trend zu Rapid Prototyping mit Hilfe von generativen Verfahren wird auch auf Basis thermoplastischer Werkstoffe verfolgt. Dabei werden beispielsweise CAD-gesteuert aus den in einer Düse geschmolzenen Fasern Bauteilkörper aufgebaut. Das Verfahren beschränkt sich derzeit noch eher auf Struktur- und Gehäusebauteile. Für die AVT besteht jedoch noch ein hoher Bedarf an neuen Materialien, welche elektronikspezifisch hohe Schmelztemperatur, hohen Glasübergangspunkt, niedrige Ausdehnungskoeffizienten und ‚electronic grade‘ Reinheit ( $< 10$  ppm Halogenid-Ionen) aufweisen. Die Marktverfügbarkeit derartiger Werkstoffe ist notwendig, um in der AVT vom reinen Anschauungsmuster zum echten Rapid Prototyping übergehen zu können. Daneben muss auch die Umspritzung von Funktionsstrukturen zu ihrer Integration noch CAxmäßig erschlossen werden (Abb. III.10). Eine Alternative sind Verfahren, mit denen sowohl isolierende als auch elektrisch leitfähige Strukturen dreidimensional generierbar sind.

**Abb. III.10: Eingebettete SMD-Komponenten in einem mit Stereolithografie aufgebauten Schaltungsträger**



Quelle: Fraunhofer-IZM

### **Umhüllung mit Duromeren (Molding, Glob Top, Verguss)**

Während die durch die RoHS-Richtlinie erzwungene Einführung bromfreier, flammwidriger Moldmassen vor einigen Jahren einen sprunghaften Materialwechsel nach sich zog, sind die erwarteten Änderungen in den nächsten Jahren eher graduell. Dabei wird durch eine größere Beherrschung der Material- und Prozess-Grundlagen eine immer genauere Materialanpassung an Anforderungserfordernisse möglich. Die Entwicklungen bei den Materialherstellern folgenden Anforderungen aus dem Bereich Automotive & E-Mobility, wo für die Kontrolle von Elektro- und Verbrennungsmotoren langlebige und hochtemperaturstabile Sensorpackages benötigt werden. Für die Verkapselungsmaterialien ist ein wesentliches Entwicklungsziel für die nächsten Jahre eine Dauertemperaturbeständigkeit von mindestens 250 °C. Wir sehen daher weiterhin einen starken Trend zur kundenspezifischen Materialoptimierung insbesondere für Großabnehmer.

### **Schutzschichten für Baugruppen oder Bauelemente**

Neben der massiven Umhüllung ist der Überzug von Bauelementen oder Baugruppen mit dünnen Schichten im Bereich von Submikrometern bis zu mehreren hundert Mikrometern ein wirkungsvolles Schutzkonzept. Ein relativ einfaches, wirtschaftliches Verfahren ist die Lackierung von Baugruppen, welche primär dem Schutz vor Betauung, Verschmutzung oder biologischem Angriff dient. Aufbringungsverfahren sind Sprühen, Drucken, Tauchen, Curtain Coating, u. a. Hier ist die kontinuierliche Weiterentwicklung der Schutzlacksysteme und der Verfahren zu erwarten. Relevante Eigenschaften sind Adhäsion, Permeabilität, Reinheit, Festigkeit und dielektrische Eigenschaften (Permittivität), insbesondere auch nach Alterung.

### **Wafer-Level-Packaging**

Hermetische Packaging-Technologien schützen sehr wirkungsvoll oder sie sind wegen der mikrosystemtechnischen Funktionalität erforderlich. Wegen der teuren Materialsysteme aus Glas, Keramik und Metall sind konventionelle hermetische Packages jedoch häufig wirtschaftlich nicht tragbar. Ein modernes Konzept, welches die technischen Anforderungen bei niedrigen Kosten erfüllt, beschränkt die Hermetizität auf die mikrosystemtechnische Struktur. Man bezeichnet dies auch als Wafer-Level-Hermetizität, Wafer-Level-Packaging oder Zero-Level-Packaging. Im Prinzip wird hierzu ein Silizium- oder Glasdeckel auf das Bauteil gebondet. Dies kann sowohl mit Einzelteilen als auch Wafer-zu-Wafer erfolgen (Abb. III.11).

Eine wichtige Anforderung ist dabei, dass lokal leitfähige Durchkontaktierungen erzeugt werden, um die Funktionsstrukturen von außen anzukontaktieren. Wesentliche Prozesse dazu sind Lötten, Glaslötten, anodisches Bonden, Waferbonden, eutektisches Bonden oder Intermetallische Verbindungen. Die Bondmaterialien werden zumeist im Prozess erzeugt oder appliziert. In den letzten Jahren wurden solche Techniken beispielsweise eingesetzt, wenn Inertialsensoren in Premolded-Gehäuse eingebaut wurden. Zukünftig bietet sich aber die Kombination von Zero-Level-Hermetizität mit anderen modernen polymeren Konzepten wie MID, Vermolden oder Embedding an. Auf diesem Gebiet existiert aber noch ein sehr hoher Forschungsbedarf.

**Abb. III.11: Waferverbondetes Zero-Level-Package**



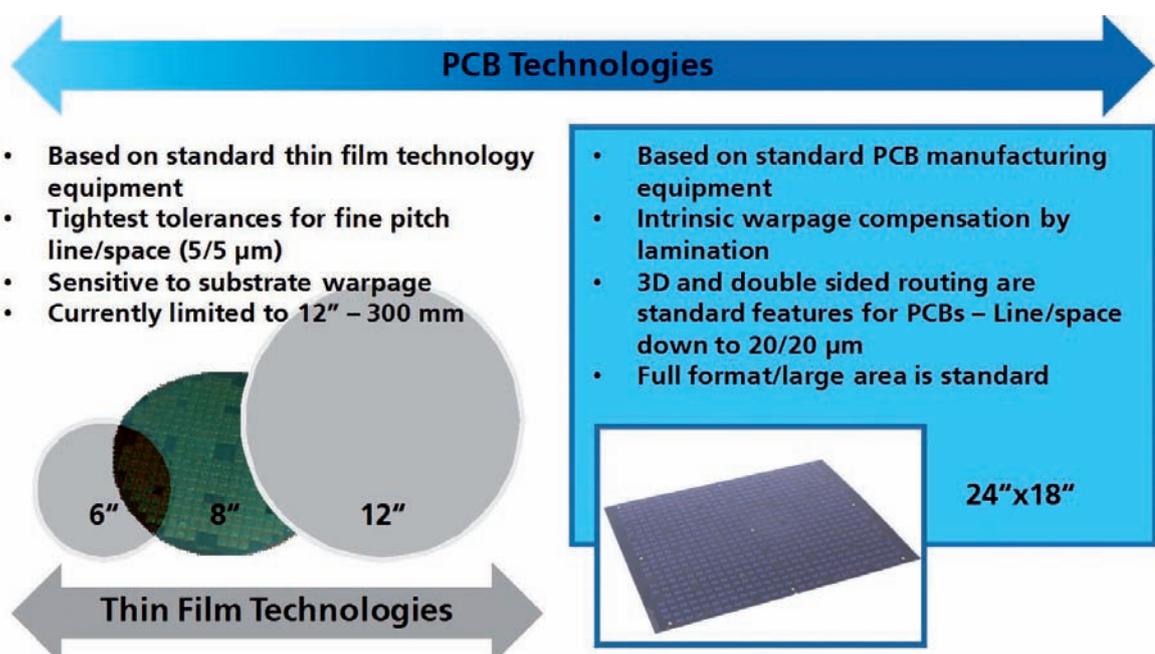
Quelle: Fraunhofer-ISIT

Neuere Entwicklungen im Bereich Materialien und Verkapselungstechnologien ermöglichen aktuell den Auftrag von großflächigen Verkapselungslagen auf Wafern bis 200 mm Durchmesser, zukünftig auch auf Panel-Level über 450 x 600 mm<sup>2</sup> (Abb. III.12). Verwendete Technologien sind hierbei Compression Molding, Laminieren oder Drucken von hochgefüllten Epoxidharzen oder Silikonem. Neben der Verkapselung von ganzen Wafern oder waferbasierten Systemen werden diese Wafer-Level-Verkapselungsverfahren auch für die vorangegangene beschriebene Einbett-

technologie zur Herstellung rekonfigurierter Moldwafer bzw. zukünftig auch Moldpanels verwendet. Hierfür werden neben der Verkapselungstechnik auch noch hochpräzise Bestückprozesse zur Generierung der rekonfigurierten Wafer und Panels benötigt. Die Herausforderung hierbei liegt in der präzisen Bestückung auf großen Flächen unter gleichzeitiger Berücksichtigung der Verschiebung der Chipposition durch Verkapselungsprozesse.

Zur Weiterentwicklung der Wafer-Level-Hermetizität existieren auch verifizierte Konzepte auf Basis hermetischer Dünnschichten, zumeist anorganisch-nichtmetallischer Werkstoffe wie SiN, SiC, SiON, Silikate oder Metalle. Die Dünnschichten werden dabei mittels PECVD, PVD, CVD oder elektrochemisch abgeschieden. Es konnte gezeigt werden, dass so Quasihermetizität mit hoher Schutzwirkung, geringer Permeabilität, großer chemischer Stabilität sowie Biokompatibilität in Kombination mit Polymeren erzielt werden konnten.

**Abb. III.12: Technologieentwicklung vom Wafer-Level zum Panel-Level-Packaging**



Quelle: Fraunhofer-IZM

### Abb. III.13: Modell für die molekulardynamische Simulation der Feuchteschwellung in einem Epoxidharzwerkstoff

In der Mikrosystemtechnik besteht auch häufig der Bedarf an dichten Kavitäten. Zero-Level-Hermetizität kann möglicherweise unter derartigen Dünnschichten erzeugt werden, wenn zuvor polymere Opferschichten angebracht werden. Nach der hermetischen Beschichtung werden die Polymere mit isotropen Prozessen entfernt und die Kavität wird versiegelt. Zur Realisierung sind noch intensive Forschungsarbeiten zur Prozess- und Materialentwicklung notwendig. Bei einer Realisierung des Verfahrens sind jedoch signifikante Verbesserungen bei Kosten, Baugröße und Zuverlässigkeit zu erwarten. Insbesondere lässt die Verfügbarkeit effizienter Zero-Level-Schutzkonzepte große Fortschritte bei den polymeren Aufbau- und Verbindungstechniken erwarten.

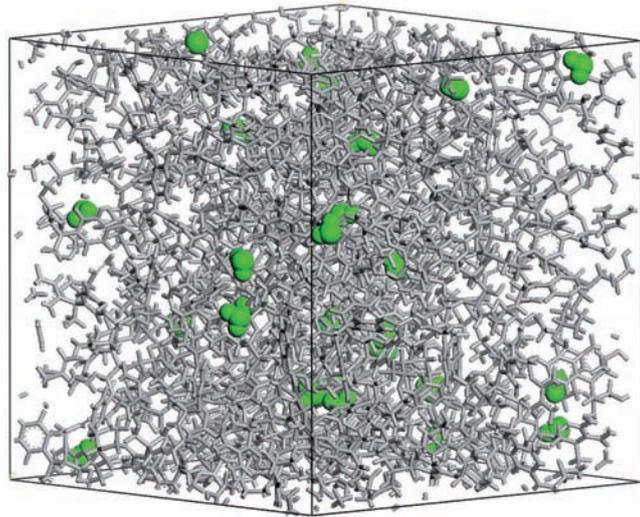
#### III.4.4 Modellierung von Materialien

Moderne Entwicklungsprozesse nutzen bei der Auslegung von Mikrosystemen sehr stark die Möglichkeiten der Simulation. Ziele der Simulation sind

- Prognose von Eigenschaften und deren Optimierung
- Nachbildung und Visualisierung des physikalischen Verhaltens
- Identifikation von Schwachstellen
- Lebensdauervorhersagen

Dabei wird in den letzten Jahren auch zunehmend der Einfluss der AVT auf die funktionalen Eigenschaften betrachtet. Eines der Nadelöhere bei der Simulation sind die Materialeigenschaften. Hierzu gehören als wichtigste elastische Eigenschaften, thermomechanische Eigenschaften, Glasübergangstemperatur, spannungsfreie Temperatur, Plastizität, ggf. Viskoelastizität und Kriechen, Dielektrizitätskonstante und Verlustfaktor.

Bei diesen Eigenschaften ist die Temperaturabhängigkeit bei den Betriebstemperaturen zu berücksichtigen. Von daher ist zukünftig ein Temperaturbereich von  $-40\text{ °C}$  bis  $200\text{ °C}$  oder sogar  $250\text{ °C}$  abzudecken. Mit höheren Ein-



Quelle: Fraunhofer-IZM

satztemperaturen werden Alterungsprozesse immer wichtiger, so dass erwartet wird, dass in Zukunft die Modellierung von Alterungsprozessen in Werkstoffen an Bedeutung gewinnt. Die zugehörigen Prozesse finden auf molekularer Ebene statt, wirken aber bis auf makroskopische und funktionale Ebenen. Somit wird ein großes Thema für die Modellierung von Materialien die Skalierbarkeit dieser Effekte sein. Ein Ansatz hierzu ist die molekulardynamische Simulation (Abb. III.13). Die aktuelle Forschung hat enorme Fortschritte in den Bereichen Delamination, Bruchmechanik und Feuchteinfluss auf Materialeigenschaften erzielt. Es wurden Prüfverfahren und Modellierungsansätze entwickelt. Ein Transfer in die Applikationsentwicklung steht noch aus. Als notwendig wird neben neuen Simulationfähigkeiten eine verbesserte Verfügbarkeit an einfach bedienbaren Simulationswerkzeugen und Charakterisierungsmethoden erachtet.

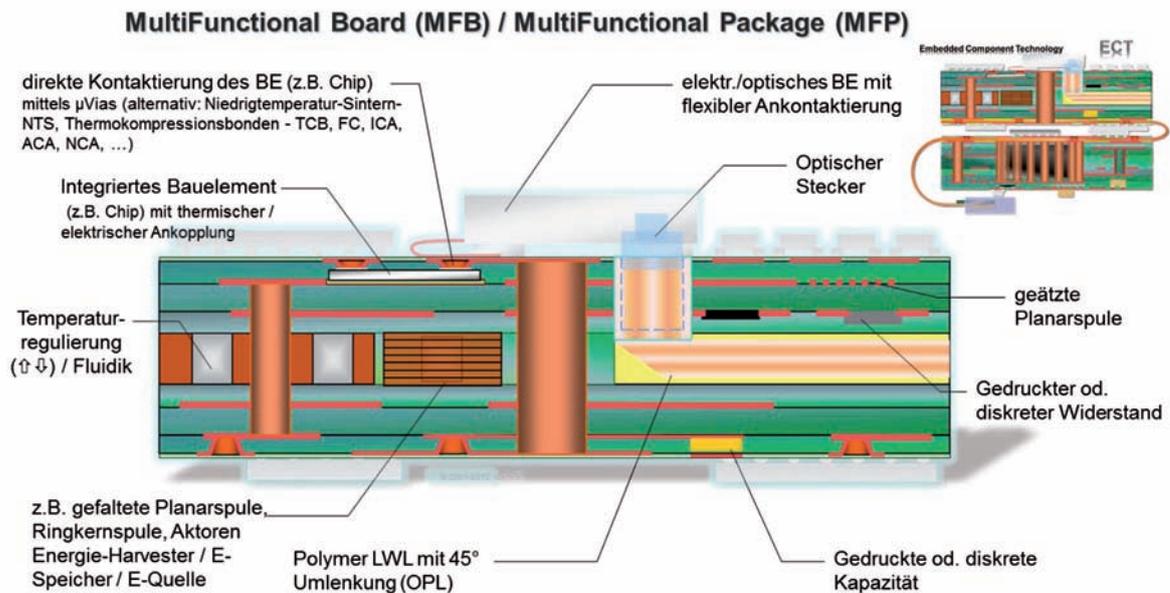
Die Verfügbarkeit von Materialdaten als Eingabeparameter für die Simulation kann insbesondere für Einsteiger auf dem Gebiet problematisch werden. In der Regel stellen die Materialhersteller nicht alle benötigten Eigenschaftsdaten bereit und behalten sich Änderungen daran vor. Weiterhin sind aus Sicht der Anwender künftig einheitlich strukturierte Datenblätter für die Materialien sinnvoll.

# IV. AVT-Verfahren

Aufgrund der engen Verknüpfung und der gegenseitigen Beeinflussung von Materialien und Prozessen werden aufbauend auf dem vorangegangenen Kapitel ‚Materialien‘ in diesem Kapitel die Prozesse und Verfahren der Aufbau- und Verbindungstechnik (AVT) für die Fertigung von stressarmen Mikrosystemtechnik-Packages behandelt. Zunächst werden die gängigen Prozesse und Verfahren systematisch dargestellt sowie die gestellten Anforderungen an diese Prozesse erfasst. Darauf basierend werden die Entwicklungstrends der AVT-Verfahren beschrieben und in den beiden Unterkapiteln ‚Derzeitiger Stand und Entwicklungstrends der letzten fünf Jahre‘ sowie ‚Herausforderungen und Entwicklungstrends bis 2022‘ konkretisiert. Dabei werden die wesentlichen Vorteile, umzusetzende Herausforderungen der zu realisierenden Prozesse und Verfahren der neuen Technologien bzw. Trends dargestellt sowie der Forschungsbedarf abgeleitet.

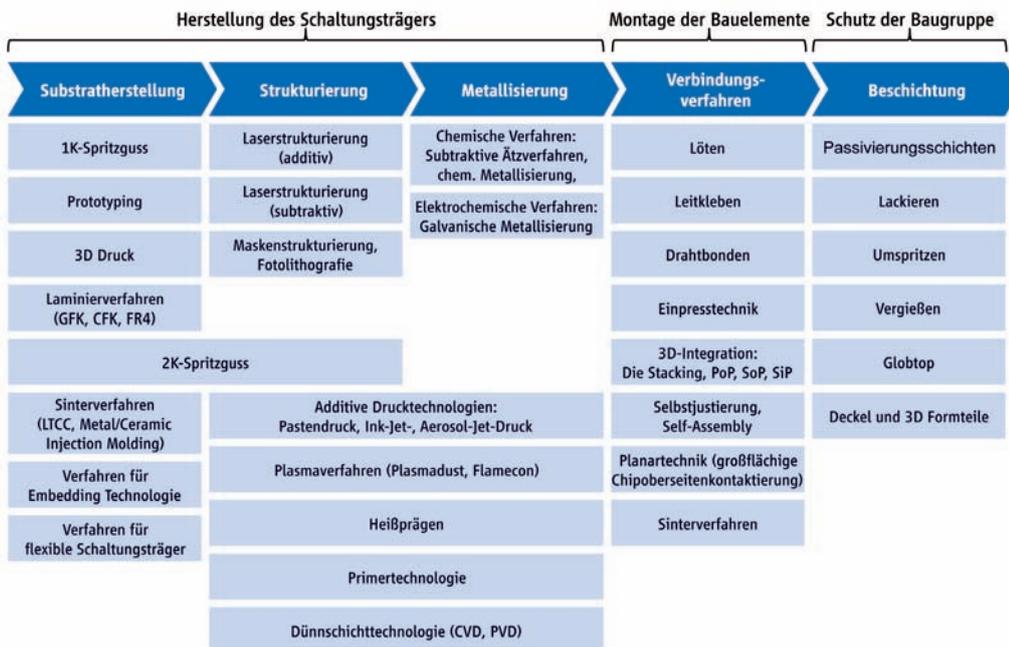
Möglichkeiten und Herausforderungen zukünftiger Aufbau- und Verbindungstechnologien von MST-Packages sind in Abb. VI.1 visualisiert. Dargestellt ist das Konzept einer multifunktionalen Leiterplatte, die auf Leiterplattenebene integrierte Funktionen, in der sogenannten Embedded Technology besitzt. Der Vorteil ist die Integration einer Vielzahl unterschiedlichster Funktionen und Komponenten. Neben diskreten Bauelementen, gedruckten Komponenten sowie strukturierter Komponenten können optische und fluidische Funktionen realisiert werden [IV.1]. Treiber dieser Technologie sind die zunehmende Miniaturisierung und die steigende Integrationsdichte von MST-Packages. Herausforderung ist die Umsetzung und Realisierung der notwendigen Prozesse und Verfahren für die Herstellung solcher Systeme.

**Abb. IV.1: Konzept einer multifunktionalen Leiterplatte mit Systemintegration auf Leiterplattenebene**



Quelle: Würth Elektronik [IV.1]

**Abb. IV.2: Prozesse und Verfahren der Aufbau- und Verbindungstechnik für mikrosystemtechnische Baugruppen**



Quelle: FAPS

Für die Erstellung dieses Kapitels wurden innerhalb der Expertengruppe des ZVEI im Rahmen einer Befragung der Teilnehmer aktuelle und zukünftige Entwicklungstrends gesammelt. Weiterhin wurden während des ZVEI-Workshops ‚AVT-Expertentreffen Stressarme MST Packages‘ die Anforderungen an Verfahren und Prozesse für die Fertigung von MST-Packages erfasst. Aus den Ergebnissen des Workshops lassen sich folgende wesentliche Anforderungen an Mikrosystemtechnik-Baugruppen identifizieren:

- Gesteigerte Umgebungs- und Einsatzbedingungen
  - Hohe Umgebungstemperatur
  - Hohe Leistungsdichte
  - Feuchtigkeit
  - Mechanischer Stress
  - Aggressive Medien und Gase
- Kurze Produktentwicklungszeiten
- Steigerung der Integrationsdichte

Basierend auf diesen Anforderungen wurden folgende aktuelle und zukünftige Entwicklungstrends von der Expertengruppe formuliert.

#### Entwicklungstrends der vergangenen fünf Jahre

- Entwicklung von alternativen AVT-Verfahren für hochbeanspruchte MST-Packages
- Schnelle Entwicklung von Produktionsprozessen durch Überführung von Prozessen des Prototypings zu serientauglichen Produktionsprozessen (Rapid Manufacturing)
- Entwicklung von AVT-Verfahren für miniaturisierte Baugruppen und dichte Anschlussstrukturen
- Entwicklung von AVT-Verfahren für räumliche Schaltungsträger
- Ersatz von Edelmetallen und seltenen Materialien

#### Entwicklungstrends für die Jahre bis 2022

- Entwicklung von alternativen AVT-Verfahren für hochbeanspruchte MST-Packages
- Entwicklung von AVT-Verfahren für weiter miniaturisierte Baugruppen und hochdichte Anschlussstrukturen
- Hochtemperaturfähige AVT
- Entwicklung neuer Prozesse für neue Materialien
- Funktionalisierung der Baugruppen
- Integration lokaler Intelligenz und Energieversorgung
- Serienflexible Anlagenkonzepte

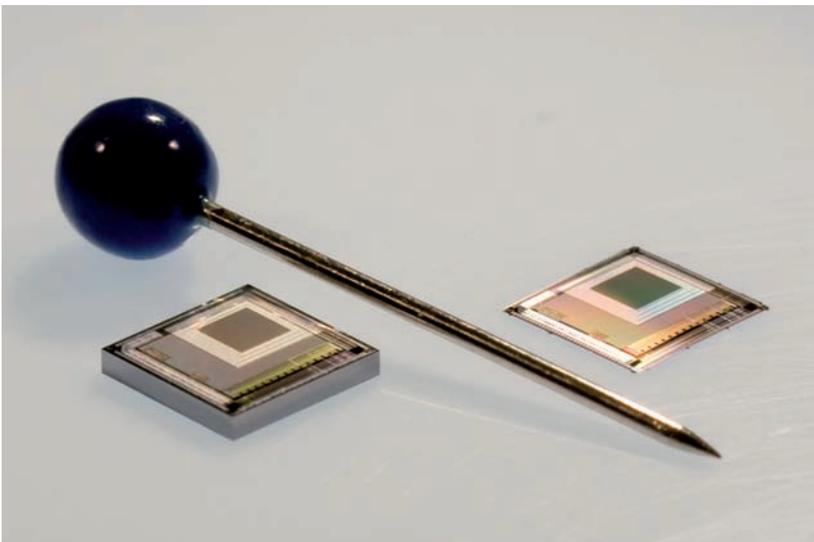
## IV.1 Prozesse der AVT und deren allgemeine Anforderungen

In Abb. IV.2 sind die wesentlichen Prozesse und Verfahren dargestellt, die in der Aufbau- und Verbindungstechnik im Bereich der Mikrosystemtechnik eingesetzt werden. Sie können nach den Unterprozessen für die Substratherstellung, Strukturierung, Metallisierung, Verbindungsverfahren und Beschichtung systematisch gegliedert werden.

Die Herstellung von mikrotechnischen Baugruppen in starrer Leiterplattentechnologie umfasst beispielsweise folgende Prozesse:

- Herstellung des Ausgangsmaterials: Laminiert von Glasfaser-Gewebe mit Epoxidharz (FR4) und vollflächiges Kaschieren mit Kupferfolie
- Übertragung des Leiterbildes mittels Masken und Fotolithografie
- Ätzen der Leiterbildstrukturen
- Additive Metallisierung von Passivierungsschichten (z. B. chemische Nickelabscheidung, Heißverzinnung)

**Abb. IV.3: 20 µm dünner flexibler Siliziumchip im Vergleich zu normaler Waferstärke. An der Wölbung ersichtlich sind die Eigenspannungen des Schichtsystems.**



Quelle: IMS Chips [IV.3]

Die Prozesse für die Herstellung von flexiblen Schaltungsträgern sind grundsätzlich identisch zu den Verfahren der starren Leiterplatten. Die Herausforderung in der Verarbeitung von flexiblen Schaltungsträgern liegt in der Handhabung des biegeschlaffen Substratmaterials. Hierbei stellt die Rolle-zu-Rolle-Verarbeitung von flexiblen Leiterplatten z. B. für RFID-Transponder oder gedruckte Elektronik einen effizienten Ansatz dar. Besondere Beachtung erfordert die Herstellung und Handhabung von flexiblen Komponenten und Bauelementen (siehe Abb. IV.3). Diese erfordern eigene Werkzeuge, Montageverfahren und die Betrachtung der gesamten Spannungen innerhalb des Werkstoffverbunds.

Als weiteres Beispiel folgen die Verfahren, die für die Fertigung von räumlichen Schaltungsträgern (MID = Molded Interconnect Devices) mittels Laserdirektstrukturierung eingesetzt werden:

- Spritzguss des Substratkörpers aus thermoplastischem Kunststoff und LDS-Additiven
- Strukturierung des Leiterbildes mittels Laser und Aktivierung der Additive
- Chemische Metallisierung und Abscheidung von Kupfer, Nickel und Gold

### Technische und ökonomische Anforderungen an die Prozesse

Die allgemeinen Anforderungen, die für eine wirtschaftliche und zuverlässige Montage von Mikrosystemen an die Prozesse und Verfahren, insbesondere für automatisierte Produktionsanlagen, gestellt werden, können wie folgt zusammengefasst werden:

- Hohe Prozessgeschwindigkeit, hoher Durchsatz
- Hohe Ausbeute, geringer Ausschuss, Robustheit
- Dreidimensional formtreue Ablage der Komponenten
- Hohe Genauigkeit
- Automatisierbarkeit
- Geringe Fertigungsstückkosten

- Geringer Material- und Energieeinsatz
- Geringer Investitionsaufwand
- Skalierbarkeit und Eignung für Rapid Prototyping
- Zum Teil Eignung für Nacharbeit

## IV.2 Derzeitiger Stand und Entwicklungstrends der letzten fünf Jahre

### IV.2.1 AVT-Verfahren für hochbeanspruchte Elektronikbaugruppen

#### Steigerung der thermischen und elektrischen Beanspruchungsfähigkeit der Verbindungsstellen

Sowohl die thermische als auch die elektrische Beanspruchung von Baugruppen unterlag in den vergangenen fünf Jahren einer kontinuierlichen Zunahme. Diese Entwicklung ist einerseits zurückzuführen auf die Miniaturisierung und die gestiegenen Schaltfrequenzen mit dem Ziel einer Steigerung der Leistungsdichte und andererseits bedingt durch die vielfältiger werdenden Einsatzumgebungen von Mikrosystemaufbauten. So finden sich diese beispielsweise im Automobilbereich antriebsnäher oder im Umfeld regenerativer Energien in wartungsfeindlicher Umgebung. Seitens der Halbleitertechnik konnten die neuen technologischen Anforderungen aufgrund von erreichten Sperrschichttemperaturen von über 150 °C durch ICs in Siliziumtechnologie realisiert werden, während gleichzeitig der Übergang zur Serienfertigung erster GaN- und SiC-Bauelemente erfolgte. Die Aufbau- und Verbindungstechnik musste diesen Entwicklungen folgen und ihre Fertigungsprozesse entsprechend den gestiegenen Anforderungen hochbeanspruchter Elektronikbaugruppen anpassen. Da bleifreie Weichlote bei diesen Betriebs- und Umgebungstemperaturen an ihre Grenzen stoßen hinsichtlich Temperaturbeständigkeit und Zuverlässigkeit, entstanden vielfältige Herausforderungen,

welche durch innovative Fertigungskonzepte der vergangenen fünf Jahre adressiert wurden. Bedarf an Alternativen zum Weichlot besteht auch in der Produktion von Komponenten für die Medizintechnik.

Durch die gezielte Optimierung konventioneller Leiterplatten hinsichtlich höherer Stromtragfähigkeit und optimierter thermischer Pfade konnte diese bewährte und beherrschte Technologie durch innovative Weiterentwicklungen an neue und zukünftige Anforderungen wie z. B. Einsatztemperaturen über 150 °C angepasst werden. Dadurch wurde die Möglichkeit geschaffen, kostenoptimierte FR4-Leiterplatten auch in hochbeanspruchten Elektronikbaugruppen zum Einsatz zu bringen.

Hinsichtlich der Verbindungsverfahren sorgte die Kombination verschiedener produkt- und prozessangepasster Technologien für eine Erweiterung der bisherigen Leistungsgrenzen. Diese erstrecken sich entlang der gesamten Fertigungskette mikroelektronischer Systemaufbauten – angefangen bei der Montage der Halbleiter über die elektrische Kontaktierung, bis hin zur Integration additiver Elemente und zur abschließenden Verkapselung und Endmontage ganzer Module.

#### Entwicklungen der Halbleitertechnik

Wesentliche Entwicklungsrichtungen der AVT werden auch von den technologischen Veränderungen innerhalb der Halbleitertechnik bestimmt. Die Funktion und Struktur im Schichtensystem der Halbleiter bestimmen die Erfordernisse der AVT.

Eine der wesentlichsten Änderungen der Halbleitertechnologie ist die funktionsbedingt zunehmende Verbreitung der Cu-Metallisierung. Diese bestimmt die Temperaturfestigkeit und beeinflusst die nachfolgenden Kontaktierungen. Die Aluminium-Metallisierungen älterer Chiptechnologien werden aber noch einige Zeit im Markt vorhanden sein. Weitere

technologische Veränderungen sind dünne Chips, die eine gewisse Biegsamkeit aufweisen und die Ankündigung gestapelter Chips mit dreidimensionaler Verdrahtung zwischen den Schaltungsebenen.

Die zunehmende Integrationsdichte der ICs ermöglichen komplexe SoC (System on Chip) Schaltungen mit Prozessor, digitaler und analoger Peripherie und Speicher auf Flächen von wenigen Quadratmillimetern. Dies erfordert auf Chipebene Kontaktdichten von mehr als 100 Kontakten pro mm<sup>2</sup>. Die thermische Verlustleistung der Chips steigt bei Taktfrequenzen von 4,7 GHz auf mehr als 1 W pro mm<sup>2</sup>.

Die aktiven Flächen weniger komplexer Schaltungen schrumpfen auf weniger als 1 mm<sup>2</sup>. Damit bekommen Fertigungstoleranzen aus der Vereinzelung der Chips einen wesentlichen Anteil an der Beschreibung der dreidimensionalen Form der Komponenten und der erforderlichen Werkzeuge für die Handhabung der Chips.

#### **Ersatz des Weichlötens durch Hartlötens oder Schweißen**

Zur Steigerung der thermischen und elektrischen Beanspruchungsfähigkeit von Verbindungsstellen trägt das Laserstrahlschweißen einen entscheidenden Schritt bei. Der größte Forschungsbedarf liegt aktuell in der Analyse von Methoden zur Steigerung der Prozessstabilität, da diese häufig noch nicht ausreichend hoch ist. Neben dem Schweißen besteht auch die Möglichkeit des Hartlötens als Substitut für das Weichlötens. Die Notwendigkeit zu gesteigerter thermischer und elektrischer Stabilität sowie eine erhöhte Zuverlässigkeit sind Treiber dieser Entwicklung, welche sich noch im Stadium der Grundlagenforschung befindet. Das Schweißen ohne Zusatzwerkstoffe ist dabei zusätzlich im Hinblick auf die Ressourcen-Schonung vorteilhaft. Aktueller Forschungsbedarf besteht bei der Beherrschung von Aufhärtung und Versprödung der

Schweißverbindungen und bei der Klärung der Langzeitstabilität geschweißter Verbindungen in der Leistungselektronik.

#### **Cu-Drahtbonden**

In Modulen der Signal- und Leistungselektronik werden zur Erreichung höherer Integrationsdichten zunehmend Bare-Dies eingesetzt, die über Drahtbond-Verbindungen kontaktiert werden. Für die leistungselektronische Kontaktierung stellt das Ultraschall-Wedge-Bonden mit Aluminium-Dickdraht bis zu einer Drahtstärke von 500 µm den Standardprozess dar, während für die Signalelektronik das Thermosonic-Ball-Wedge-Bonden mit Gold-Dünndraht den verbreitetsten Prozess darstellt. Erste Untersuchungen im Rahmen des BMBF-Projekts ‚WIRECOAT‘ haben gezeigt, dass mit Cu-Drähten gebondete und gesinterte Halbleiter aufgrund der gegenüber Aluminium 1,6-fachen Leitfähigkeit eine 1,26-fache Strombelastung bei adäquater Verlustleistung gestatten und eine bis zu 20-fache Zyklenfestigkeit im Lastwechsel hatten. Das Drahtbonden mit dicken Cu-Drähten benötigt jedoch neue Metallisierungen oder Metallisierungssysteme auf den Halbleitern (siehe Abb. IV.4), welche noch nicht verfügbar sind. Auch für dünne Kupferdrähte stellt die Korrosionsanfälligkeit im Vergleich zu Gold eine noch zu lösende Aufgabe dar, bevor dieses kostenseitige Einsparungspotenzial vollständig gehoben werden kann.

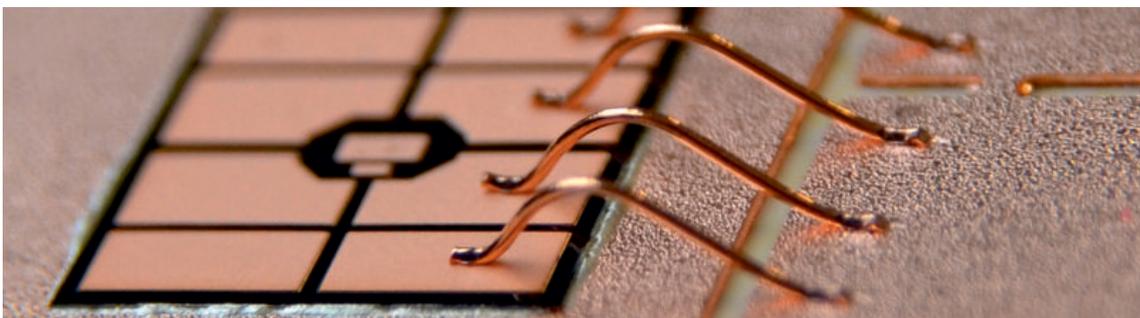
Im Sinne der ganzheitlichen Hebung der leistungstechnischen Potenziale aktueller Halbleiter muss auch die finale Montage der Mikrosystempackages den hohen Ansprüchen an aktuelle Elektronikbaugruppen angepasst werden. Hierbei stellt die Vakuumverkapselung von Sensorelementen eine zukunftsweisende Schutzmaßnahme gegen äußere Einflüsse dar.

Die Vielzahl der nur exemplarisch dargestellten Fortschritte der vergangenen fünf Jahre im Bereich hochbeanspruchter Mikrosystemaufbauten macht deutlich, welche Bedeutung dieser Entwicklung beigemessen wurde und wird. Auch in Zukunft ist es daher unabdingbar, weitere Forschungsprojekte in diesem Gebiet anzustoßen.

#### **Halbleiterkontaktierung (Die Bonding)**

Abhängig von den treibenden Faktoren wie dem Markt elektronischer Sensor-Systeme bis hin zu intelligenten E-Fahrzeugen können Trends in der elektronischen Aufbau- und Verbindungstechnik in Bezug auf Komponenten, Substrate, Fertigungstechnologien und deren Beziehung zueinander bestimmt werden.

**Abb. IV.4: Chipoberseiten-Kontaktierung mit Kupferdraht**



Quelle: FAPS

#### **Ablösung klassischer hermetischer Sensor-Gehäuse durch nicht-hermetische SMT Gehäuse**

Derzeit sind für hochzuverlässige Anwendungen (Verkehrstechnik, Raumfahrt, Verteidigung) klassische Metallgehäuse (TO) bei Sensoren immer noch weit verbreitet. Getrieben durch Kostenreduzierungsanforderungen aber auch den eingangs beschriebenen Trend zur Miniaturisierung ist eine spürbare Entwicklung hin zu nicht-hermetischen oder quasi-hermetischen SMT-Gehäusen auch für Sensoren erkennbar. Als Vorreiter ist hier die Automobilindustrie zu nennen. Neben der Kosteneinsparung für die Bauteile selbst ist dabei die Weiterverarbeitung in vollautomatisierten SMT-Produktionslinien ein ausschlaggebender Faktor. Hauptaufgabe in der Forschung ist das Ermitteln von Materialkombinationen, oft auch die Entwicklung neuer Materialien und Beschichtungen, welche die Anforderungen durch die weitere Verarbeitung (z. B. Handling, Reflow) und die Lebensdauer unter teilweise anspruchsvollen klimatischen Bedingungen erfüllen.

So muss jedes integrierte System für Hochleistungs-Anwendungen, wie beispielsweise Automobil, Windkraft- oder Photovoltaikanlagen, vom Sensor-System bis zum elektrischen Antrieb hohe Anforderungen an Zuverlässigkeit, wie thermische, thermomechanische und elektrische Robustheit erfüllen. Die Auswahl der produktspezifischen Verbindungstechnologie erfolgt stets unter dem Fokus höchster Zuverlässigkeit, erhöhter Funktionalität und Effizienz.

Eine der wichtigsten Schritte der Systemintegration ist die Aufbau- und Verbindungstechnik des gekapselten oder nackten Halbleiter-Chips auf dem Substrat. Derzeit dominiert die Reflow-Löttechnologie als Standardverfahren in der Elektronikindustrie. Aber mit der Entwicklung neuer Chiptechnologien mit gesteigerter Leistung und Temperaturbeständigkeit, sind die Prozesse für die Kontaktierungstechnik gleichermaßen weiterzuentwickeln. Dies ist entscheidend für die Leistung des gesamten Moduls während des Betriebs in Hinblick auf dessen elektrische, mechanische und thermische Eigenschaften.

Derzeit ersetzen zunehmend diffusionsbasierte Verbindungsmethoden das bisherige Weichlöten. Dabei werden das Diffusionslöten und das Silbersintern als fortschrittlichste Technologien angesehen. In beiden Fällen wird ein Hochtemperatur-Kontakt mittels Kaltschweißmethode realisiert. Die Variationen bei der Umsetzung dieser State-of-the-Art-Technologien hängen von der Art der Anwendung ab. Beispielsweise wird druckloses Sintern oder Löten für Anwendungen der Beleuchtungstechnik verwendet, Applikationen für die Antriebstechnik werden mit druckbehaftetem Löten oder Sintern umgesetzt.

### Diffusionslöten

Diffusionslöten ist eine Kombination aus Hart- und Weichlöten. Durch optimiertes Prozess-Handling und sehr dünne Lotschichten bis zu 20  $\mu\text{m}$ , wird das herkömmliche Lot (Abb. IV.5b) in eine Schicht mit vollständigen intermetallischen Phasen umgewandelt (Abb. IV.5c). Die resultierende Verbindung aus  $\text{Cu}_6\text{Sn}_5$  hat eine Temperaturbeständigkeit von über 400  $^\circ\text{C}$ . Die Phasenwandlung innerhalb des Diffusionsprozesses, bei welcher eine isotherme Erstarrung der Lötstelle zwischen Chip und Substrat erfolgt, wird durch eine längere thermische Nachbehandlung hervorgerufen.

Aktuell konzentriert sich die Forschung darauf, wie ein solcher Mechanismus kosten- und ressourceneffizient zu realisieren ist. Folgende Ansätze werden derzeit verfolgt (siehe Abb. IV.6):

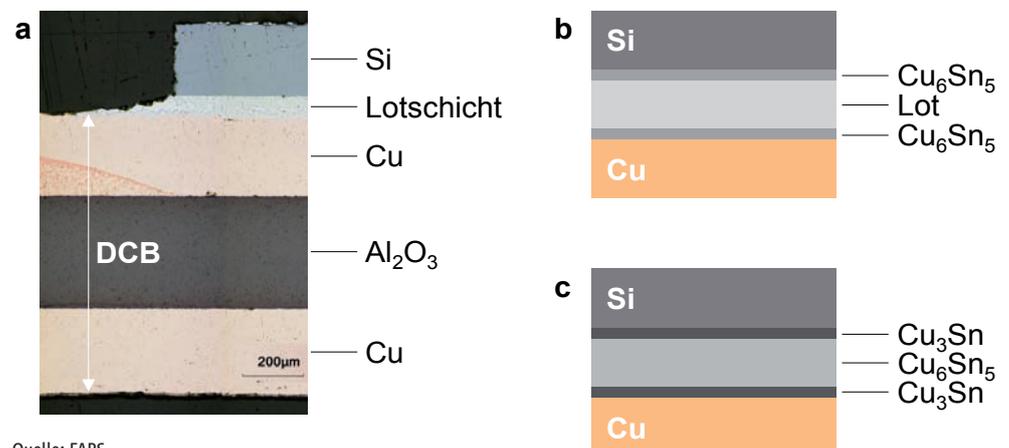
1. Druckloses Diffusionslöten: Eine Modifikation der Lötanlagentechnik, bspw. von Standard konvektionsbasierten Anlagen oder Dampfphasenanlagen mit integrierter Vakuumeinheit, ermöglicht eine Reduzierung von Lufteinschlüssen im Lot. Dabei ist das zeitintensive Wachstum von intermetallischen Phasen durch Anpassung von Prozessdauer, Temperatur und Dicke der Lötstelle genau zu steuern.
2. Druckbehaftetes Diffusionslöten: Ein weiterer Ansatz ist die Verwendung von mechanischem Druck oder erhöhtem Atmosphärendruck auf die Verbindungswerkstoffe. Dadurch lässt sich die Zeit für die Bildung der Diffusionslötverbindung erheblich reduzieren.

**Abb. IV.5:**

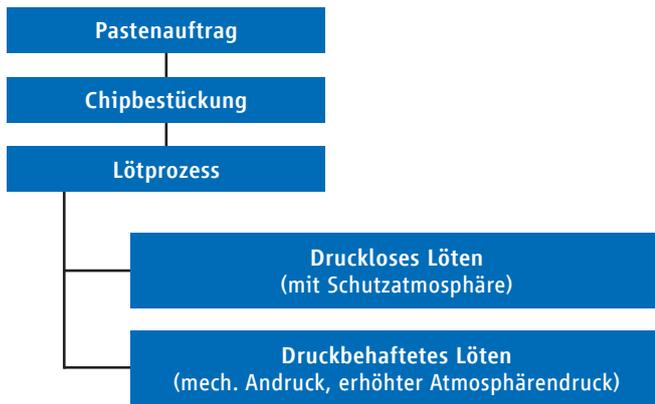
**a. Schichtstruktur eines Leistungsmoduls**

**b. konventionelle Löttschicht**

**c. Hochtemperaturkontakt mit vollständiger intermetallischer Phase**

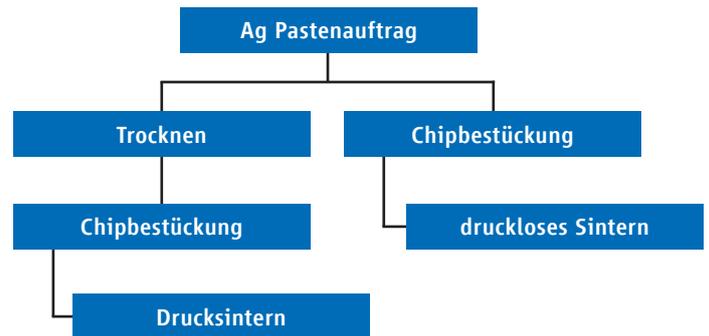


**Abb. IV.6: Mögliche Varianten des Diffusionslötens**



Quelle: FAPS

**Abb. IV.7: Mögliche Varianten des Sinterlötens**



Quelle: FAPS

### Silbersintern

Ein weiterer Ansatz zur Realisierung hochtemperaturbeständiger Kontakte ist der Silbersinter-Process (siehe Abb. IV.7). Hierbei wird eine aus Silberpartikeln bestehende Paste als Verbindungsmedium zwischen Chip und Substrat eingesetzt.

Für beide Technologien spielen die Beschaffenheit von Verbindungs- und Schnittstellenmaterialien, Eigenschaften wie Rauheit und Sauberkeit, verschiedene Umgebungseinflüsse wie Atmosphäre und eine spezifische Prozessführung eine entscheidende Rolle für die Qualität der ausgebildeten Verbindung.

### Aluminiumsintern

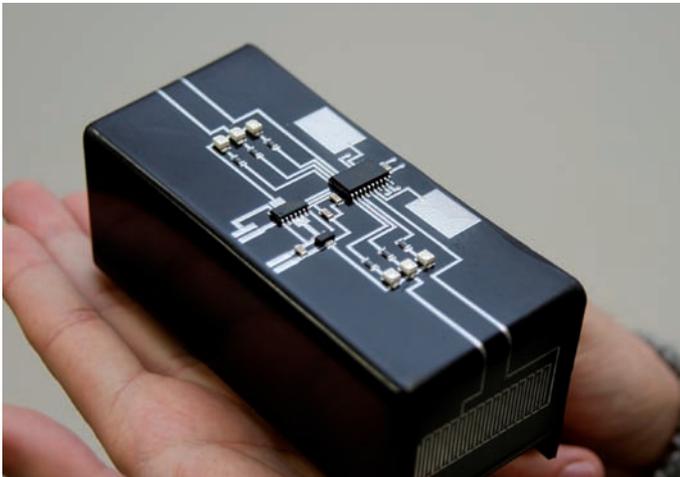
Aluminiumsintern kommt ohne Verwendung von Edelmetallen aus. Die Verbindung entsteht zwischen zwei Cu-Metallisierungen unter Verwendung einer dünnen Aluminiumschicht als diffundierendes und legierendes Element. Die Verbindung benötigt jedoch die Zuführung einer Initialenergie über Reibung zur Überwindung der natürlichen  $Al_2O_3$  Barriere [IV.9].

## IV.2.2 Überführung von Prozessen des Prototypings zu serientauglichen Produktionsprozessen (Rapid Manufacturing)

### Additive Metallisierung

Unter den Gesichtspunkten der zunehmenden Ressourcenverknappung, energieeffizienter Verfahren aber auch der wachsenden Herausforderung einer schnellen und flexiblen Fertigung, wurden in den letzten Jahren insbesondere Technologien zur additiven Metallisierung starrer und flexibler Schaltungsträger für Mikrosysteme weiterentwickelt. Gefördert wurde dieser Trend vor allem durch die rasante Entwicklung funktionaler Beschichtungswerkstoffe, die sowohl technisch als auch wirtschaftlich zunehmend interessanter werden. Zur Herstellung hochleitfähiger Schichten haben sich insbesondere Werkstoffe auf Basis mikro- bzw. nanopartikulärer Metalle etabliert, für deren Verarbeitung in der MST vorzugsweise bestehende Auftragsverfahren adaptiert wurden. Hervorzuheben sind u. a. Druckverfahren für funktionale Tinten mit dispergierten Partikeln (siehe Abb. IV.8) bzw. plasmagestützte Beschichtungsverfahren, die die pulverförmigen Metalle direkt verarbeiten können. Durch den Fortschritt bei den Beschichtungsmaterialien und -prozessen sowie aufgrund der inzwischen erreichbaren Reproduzierbarkeit der Metallisierungsqualität, ist der Grundstein gelegt, um die additive Metallisierung über den Bereich des Rapid Prototyping hinaus zunehmend auch in der Serienfertigung einzusetzen.

**Abb. IV.8: Funktionalisierung von Kunststoffen durch additive Metallisierung mittels Aerosol-Jet-Drucktechnologie**



Quelle: FAPS

### **IV.2.3 AVT-Verfahren für miniaturisierte Baugruppen und Anschlussstrukturen**

Die Funktionalität und damit oft auch Komplexität elektronischer Baugruppen hat in den letzten fünf Jahren stetig zugenommen, was je nach Anwendungsfall in mehr Komponenten auf gleichem Raum resultiert. Gleichzeitig wird damit ein geringerer Ressourcenverbrauch, bezogen auf das einzelne Bauteil, erzielt. Das liegt zum einen begründet im direkten Materialverbrauch (z. B. Edelmetalle, Klebstoffe, etc.) und zum anderen in einem deutlichen Einsparpotenzial durch parallele Batch-Prozessierung (Durchlaufzeiten, Energie etc.).

Die zunehmende Miniaturisierung sowohl auf Chip-Ebene als auch bei den Anschlussstrukturen erfordert nach der 2005 vom ZVEI erarbeiteten Studie ‚Produktionstechnik für eine Aufbau- und Verbindungstechnik für die Nanoelektronik‘ angepasste bzw. völlig neue Konzepte bei der Verarbeitung einzelner Komponenten sowie der Produktion elektronischer Baugruppen [IV.15]. Der nach wie vor anhaltende Trend zu kleineren und leichteren Elektronikbaugruppen hat dabei

viele Anstrengungen zu miniaturisierten elektronischen Produkten bei gleichzeitiger Leistungssteigerung induziert. Allerdings müssen Anlagen und Produktionsprozesse in der Elektronikfertigung diesem Trend ebenso folgen, um zuverlässige Verbindungen auf Board-Level zu ermöglichen. Die damit einhergehenden Folgen stellen die gesamte Prozesskette von den einzusetzenden Materialien, über die Anlagentechnik bis hin zur begleitenden Qualitätssicherung und den Anforderungen an eine hohe Zuverlässigkeit vor neue Herausforderungen.

### **Flip-Chip-Technologien**

Die zunehmende Dichte der elektronischen Funktionen innerhalb der Silizium Chips bei steigenden I/O Zahlen erzeugt bei einer Randkontaktierung ein Missverhältnis zwischen funktionaler Chipfläche und dem Platzbedarf der Randkontakte. Erforderlich ist daher eine Nutzung der gesamten Chipoberfläche für die benötigten Anschlüsse. Dazu bekannt sind Verfahren, die entweder über Lotkugeln oder Goldhöcker auf der Chipoberfläche mit Anschlussabständen von 20  $\mu\text{m}$  bis 200  $\mu\text{m}$  die benötigte Kontaktdichte herstellen. Die Montage der ICs erfolgt dann mit der aktiven Seite in Richtung des Substrats (Flip Chip). In aktuellen Entwicklungen werden diese Höcker aus Chemisch-Kupfer erzeugt und über Thermokompression oder unter Verwendung von Lotmetallen (Sn, Bi, Ag, Nanoinks) direkt mit den Kupfer-Anschlüssen verbunden. Diese Technik erlaubt sowohl Verbindungen zwischen Chips und Substraten als auch die Stapelung von mehreren ICs über metallische Verbindungen zwischen den gedünnten Chips (3D Integration). Ebenso sind hermetisch geschlossene Kapseln aus der Face-to-Face Verbindung zweier Wafer zur Erzeugung geschlossener Hohlräume möglich. Dadurch wird auch eine Einhausung der aktiven Seite der ICs und/oder der Sensoren im Wafer-zu-Wafer-Verbund möglich [IV.3-IV.6].

Beim Insertion-Bonding werden auf der Chipoberfläche Cu-Stifte und Cu-Hülsen erzeugt. Die Montage erfolgt dann selbstjustierend unter Erzeugung von Reibverbindungen oder in ein flüssiges Lotbett [IV.10, IV.11].

#### **IV.2.4 Entwicklung von AVT-Verfahren für räumliche Schaltungsträger**

##### **Prozesstechnik für die Verarbeitung von dreidimensionalen Schaltungsträgern**

Bei der automatisierten Montage von dreidimensionalen Schaltungsträgern werden gesteigerte Anforderungen an den Montageprozess gestellt, da im Vergleich zu konventionellen Flachbaugruppen die Bauelemente meist auf mehreren Prozessflächen mit unterschiedlichen Orientierungen bestückt werden müssen. Daher sieht die Bestückaufgabe eine Fügebewegung aus drei linearen und drei rotatorischen Freiheitsgraden vor. Somit werden für die Bestückung von MID zusätzliche Freiheitsgrade für die Ausrichtung beider Fügepartner zueinander benötigt.

Die Entwicklungen im Bereich der Produktionsanlagen für die automatisierte Montage und Bestückung von dreidimensionalen Schaltungsträgern wurden durch die Anlagenhersteller aufgrund zahlreicher Serienprodukte vorangetrieben. So sind Bestückautomaten in unterschiedlichsten Kinematikvarianten verfügbar, die die Handhabung der MID im Automaten realisieren. Diese Kinematikvarianten können prinzipiell unterschieden werden:

- Während des gesamten Bestückprozesses bleibt der Schaltungsträger ortsfest und die Bauelemente werden gedreht, positioniert und abgesetzt.
- Der Schaltungsträger wird gedreht und positioniert und die Bauelemente werden abgesetzt.

Der Auftrag des Verbindungsmediums von z. B. Lotpaste oder Leitklebstoff erfolgt meist durch das Dispens- oder Pin-Transfer-Verfahren,

wobei das Medium sequenziell auf die Kontaktflächen des Schaltungsträgers gedruckt wird. Alternativ ist auch eine Beschichtung der Bauteile möglich. Als alternatives Lötverfahren mit reduzierter Temperaturbelastung der gesamten Baugruppe kann das Laserlöten eingesetzt werden.

Im Vergleich zu konventionellen SMD-Bestückautomaten weisen die Produktionsanlagen für dreidimensionale Schaltungsträger geringere Bestückleistungen auf. So liegen die aktuellen Herausforderungen unter anderem in der Reduzierung der Produktionszeit aufgrund der sequenziellen Prozessschritte Lotpastendruck oder Laserlöten.

Sowohl Weiterentwicklungen etablierter MID-Herstellungsverfahren wie die Laserdirektstrukturierung, als auch die Entwicklung alternativer Verfahren zur Serienreife wie zum Beispiel der Aerosol-Jet®-Technologie, ermöglichen künftig die Herstellung räumlicher Schaltungsträger mit noch feineren Strukturen, z. B. Leiterbahnbreiten unter 50 µm. Sie stellen damit die Prozesstechnik zur Verarbeitung räumlicher Schaltungsträger vor weitere Herausforderungen.

### **IV.3 Herausforderungen und Entwicklungstrends bis 2022**

#### **IV.3.1 AVT-Verfahren für hochbeanspruchte Elektronikbaugruppen**

##### **Steigerung der Prozessgeschwindigkeit des Diffusionslötens und des Silbersinterns**

Mit der Forderung einer kostengünstigen Produktion, geht eine Minimierung der Gesamtprozesszeit für die Produktherstellung einher. Durch die Entwicklung neuen Equipments lassen sich hochtemperaturbeständige Löt- und Sinterverbindungen voraussichtlich fünf- bis zehnfach schneller als bisher herstellen.

Durch Diffusionslöten oder Silbersintern lassen sich Hochtemperatur-Kontakte mit Betriebstemperaturen von mehr als 400 °C realisieren. Theoretisch ermöglicht dies 415 °C für  $\text{Cu}_6\text{Sn}_5$  bei diffusionsgelöteten intermetallischen Phasen und 961 °C für Silber-Sinterschichten. In Verbindung mit geeigneten hochtemperaturfähigen Substratmaterialien steigert dies die Zuverlässigkeit beim Betrieb von effizienten Hochleistungs-Halbleitern in erheblichem Maße.

In den letzten Jahren waren starke Forschungsaktivitäten zu Silbersinter-Prozessen zu beobachten, da dieser Technologie größere Vorteile zugeschrieben wurden als dem Diffusionslöten. Allerdings ist die Forschungslandschaft aufgrund der hohen Kosten von Silberpasten und wegen des aufwändigen Fertigungsprozesses weiterhin auf der Suche nach alternativen Technologien. Obgleich das Prinzip des Diffusionslötens seit mehr als 20 Jahren bekannt ist, wurde eine Anwendung in der Elektronikfertigung bislang nur ansatzweise umgesetzt. Eine intensive Entwicklung neuer Werkstoffe würde jedoch Forschungstätigkeiten in Richtung Diffusionslötung für Anwendungen in neuen Feldern vorantreiben.

Für die Umsetzung dieser Technologie ist eine Optimierung der derzeitigen Anlagentechnik und tiefes Verständnis im Bereich der Materialwissenschaften unabdingbar. Forschungsbedarf besteht insbesondere bei der Entwicklung mathematischer Simulationsmodelle für Diffusionsprozesse in Materialien und Wachstum von intermetallischen Phasen. Bezüglich einer Anlagenoptimierung liegt der Fokus aktuell auf Maschinen für die Sintertechnologie, für welche die Parameter Temperatur, Zeit und Druck von entscheidender Bedeutung sind. Im Hinblick auf eine Weiterentwicklung und Optimierung von Anlagen und Prozessen für das Diffusionslöten spielen die Planarität der Substrate, Genauigkeit der Sensor-Ausrüstung, Komponenten für Temperatur und Druck und

der Einsatz einer spezifischen Atmosphäre ( $\text{N}_2$ ,  $\text{O}_2$  etc.) eine wichtige Rolle für eine hohe Prozesszuverlässigkeit. Die Anforderungen an die Beschaffenheit der Materialoberflächen und die Qualifikation und technische Zuverlässigkeit dieser Technologien ist hierbei ebenfalls zu berücksichtigen. Zuverlässigkeitsprüfungen wie aktive und passive Lastwechsel-Tests werden zukünftig die Eignung einer Technologie noch besser vergleichbar machen.

### Beispielanwendungen

Für ‚Second-Level-Package‘ (d. h. Die-Attachment, Packages-on-Boards), bietet sich eine Substitution des Weichlötens durch die Diffusionslöttechnologie an. Da herkömmliche Lötverbindungen nur eine eingeschränkte physikalische und elektrische Belastbarkeit aufweisen, kann nur durch eine weiterentwickelte Kontaktierungstechnik die Zuverlässigkeit des Endproduktes erhöht werden.

Bei Solder-Ball-Verbindungen führen insbesondere Scherkräfte und die Schwächen an den Grenzflächen zum Ausfall eines Kontaktes. Durch eine Realisierung dünner Lotschichten mit volldurchwachsenen intermetallischen Phasen kann Versagen durch Delamination oder Rissausbreitung vermindert werden und der Kontakt höheren Temperaturen standhalten. Die Realisierung derartiger Verbindungen ist abhängig von einer Optimierung elektronischer Produktionsanlagen für die SMD-Technik. Ein mögliches Einsatzfeld wäre eine mit 15 bis 20  $\mu\text{m}$  dünnen Pads bedruckte Leiterplatte mit exakter Platzierung von BGAs und anschließender Wärmebehandlung. Hierfür sind Bestückautomaten im Hinblick auf Genauigkeit und Lötanlagen bezüglich homogener thermischer Behandlung zu optimieren.

Ein zukünftiger neuer Ansatz in der Löttechnik ist eine Kombination von mechanischem und isostatischem Druck während des Lötprozesses. Entscheidend hierbei könnte die zeitliche Einbettung von Überdruck bzw. Vakuum in das

Lötprofil sein. Im Falle des First- und Second-Level-Packaging sollte dadurch ebenfalls eine Reduzierung der Fertigungszeiten realisierbar werden.

### Verkapselung von Sensoren in Mehrfachnutzentechnologien

Der enorme Kostendruck bei Halbleiterbauteilen, der u. a. durch die gestiegene Komplexität der Baugruppen und die Wettbewerbssituation mit global agierenden Volumenproduzenten entsteht, zwingt europäische Hersteller zu effizienten Produktionsmethoden und einen hohen Automatisierungsgrad. Eine bewährte Methode ist dabei das Parallelisieren von Prozessen durch Mehrfachnutzen. Neben einer höheren Auslastung bei Batch-Prozessen kann bei Verwendung von standardisierten Nutzengeometrien der Aufwand für produktspezifische Werkzeuge und Transporthilfsmittel, z. B. Magazine, reduziert werden. Einschränkungen beim Design der Mehrfachnutzen ergeben sich oft durch Limitierungen in der mechanischen Stabilität (Verbiegung), unterschiedlich große Arbeitsbereiche der einzelnen Maschinen oder auch unterschiedliche Ausdehnungskoeffizienten der verwendeten Materialien bei Temperaturbelastung während des Prozessierens. Forschungsbedarf besteht auch hier bei den Materialien, die nicht nur für das Einzelbauteil optimiert werden können, sowie für Design- und Simulationswerkzeuge, um effizient ein optimales Nutzendesign schnell generieren zu können.

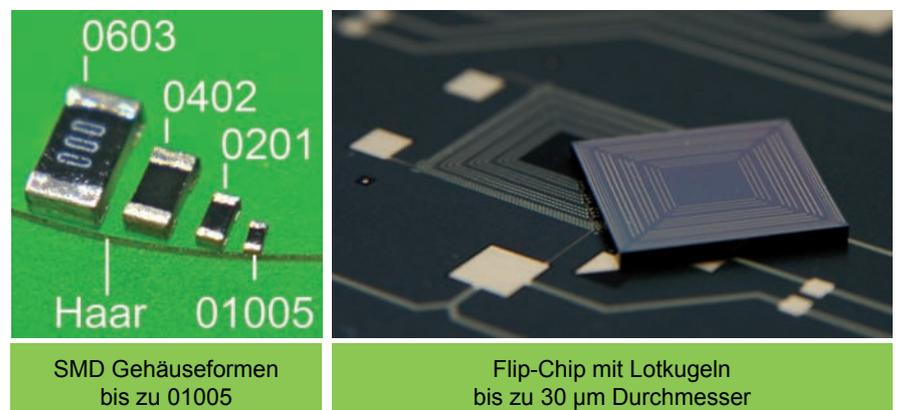
### IV.3.2 AVT-Verfahren für miniaturisierte Baugruppen und Anschlussstrukturen

#### Hochintegrierte Komponenten in Ultra-Fine-Pitch-Anwendungen

Grundsätzlich ist aus den Entwicklungstrends der letzten fünf Jahre zunächst ein Forschungsbedarf an neuen Materialien abzuleiten, welche die Basis für eine innovative Aufbau- und Verbindungstechnik darstellen.

Dabei stellen kleiner werdende Komponenten mit damit einhergehenden geringeren absoluten Toleranzen erhöhte Anforderungen an die Anlagentechnik [IV.13, IV.14]. Hochintegrierte Komponenten reichen dabei von passiven Komponenten der Baugröße 01005 (0,4 mm\* 0,2 mm) bzw. deren Nachfolger (mögliche Bezeichnung 03015 im metrischen System), über Ultra-Fine-Pitch-Anwendungen beispielsweise mit Flip-Chips (siehe Abb. IV.9) über gestapelte Halbleiter (Stacked Dies) bis hin zu komplexen System-on-Packages, in der unterschiedlichste Halbleitertechnologien für eine 3D-System-Integration kombiniert werden. Der Einsatz neuartiger Komponenten hat damit direkte Auswirkungen auf die Prozesstechnik und betrifft beispielsweise Anforderungen an Platziergenauigkeiten, die prozessbegleitende Inspektion zur Qualitätsüberwachung, aber auch Technologien zur Nacharbeit haben, die mitunter gar nicht mehr oder nur unter hohem wirtschaftlichen Aufwand möglich ist. Dabei müssen hochintegrierte Systeme und insbesondere Sensorik auch erhöhte Anforderungen hinsichtlich der Zuverlässigkeit bedingt durch äußere Einflüsse wie Temperatur, Feuchte, Vibration, Medien, Staub, etc. erfüllen.

**Abb. IV.9: Fortschreitende Miniaturisierung der Komponenten und der Anschlussstrukturen**



SMD Gehäuseformen bis zu 01005

Flip-Chip mit Lotkugeln bis zu 30 µm Durchmesser

Quelle: FAPS

### **IV.3.3 Neue Prozesse für neue Materialien**

#### **OLED-Technologie und organische Elektronik**

Der Einsatz innovativer organischer Werkstoffsysteme zur Erzeugung elektronischer Funktionsstrukturen bei Mikrosystemen ermöglicht zukünftig neuartige Produkte und eine erweiterte Funktionalität. Bisherige Entwicklungen zeigen mögliche Anwendungsgebiete in Form von kostengünstigen Sensorstrukturen oder für das Energyharvesting, auch optische Funktionen, z. B. durch die Integration von OLEDs, sind denkbar. Bislang erfolgt die Verarbeitung der organischen Werkstoffe in maßgeschneiderten und in sich abgeschlossenen Prozessketten. Für die Integration dieser Technologie in die MST ist zukünftig allerdings eine mehr oder weniger umfangreiche Anpassung etablierter Fertigungsketten für Mikrosysteme erforderlich. Während der Schwerpunkt bisher auf Montageprozessen liegt, erfordern die organischen Materialien effiziente und präzise Beschichtungsprozesse. Es sind entweder etablierte Verfahren, wie beispielsweise Druck- und Dispenstechnologien zu modifizieren, um eine Verarbeitung der organischen Werkstoffe zu ermöglichen, oder alternativ neuartige Verfahren zu integrieren. Ein wichtiger Faktor wird dabei sein, inwiefern die Verfahren es ermöglichen, eine Kombination zwischen der konventionellen, Si-basierten und der organischen Elektronik herzustellen. Aus Sicht der AVT steht hier konkret die Erforschung serientauglicher Verfahren zur zuverlässigen Kontaktierung zwischen den verschiedenen Werkstoffklassen und Anschlussgeometrien im Vordergrund. Im Weiteren wird es erforderlich, die unterschiedliche Anlagentechnik zu einer hochautomatisierten Fertigungslinie zu vernetzen.

#### **Alternative Kontaktierung und Bauelemente-Handling von LE-MST (z. B. LED) in hybriden Systemen aus Leistungselektronik und Mikroelektronik**

Ähnlich dem Einsatz organischer Elektronik dürfen in der MST Leistungselektronik und Signal- bzw. Steuerelektronik zukünftig nicht mehr als getrennte Einzelsysteme betrachtet werden. Auf dem Weg zum Smart System sind Wege zu finden, um diese Technologien bereits auf niedrigen Integrationsebenen miteinander zu verbinden. Die AVT steht damit vor der Herausforderung, Montageprozesse samt entsprechender Anlagentechnik zu entwickeln, die ein breites Bauteilspektrum abdecken und sowohl für feinste Anschlussstrukturen als auch für eine elektrische und thermische Anbindung von Leistungskomponenten eingesetzt werden können. Im Rahmen der Kombination der verschiedenen Technologien ist allerdings auch die Entwicklung geeigneter Softwaretools zu berücksichtigen, die für eine erfolgreiche Umsetzung in die Serienfertigung unbedingt erforderlich sind. Auf Basis von zukünftig zu erarbeitenden Design-Regeln sind CAx-Systeme zu entwickeln, die eine wirtschaftliche Entwicklung und Fertigung der integrierten Mikrosysteme auch im industriellen Umfeld ermöglicht.

#### **Thermokompressions-Schweißverfahren für Cu-zu-Cu-Verbindungen**

Hochzuverlässige Cu-zu-Cu-Verbindungen [IV.4] sind Bestandteil sowohl in zukünftigen Systemen der Kontaktiertechniken zwischen den Ebenen dreidimensionaler Chipanordnungen [IV.5] als auch bei der Verbindung von Chips mit Leiterplatten oder dreidimensionalen Trägern [IV.7]. Das Verschweißen der Verbundpartner erfolgt mit Druck und Hitze, chemischer Aktivierung oder auch unter Verwendung von Zwischenschichten aus Silber oder niedrigschmelzenden Metallverbindungen [IV.6]. Die Verbindungen haben eine hohe Temperaturfestigkeit und optimale Kontaktwiderstände. Die Ausführung dieser Verbindungen

sowie deren modellhafte Beschreibung unter Beachtung von Prozessparametern, Oberflächen- und Schichteigenschaften und der Gestaltung der umgebenden Komponenten ist Aufgabe zukünftiger Forschung.

#### **Kontaktierungsverfahren für temperatur-empfindliche Substrate und Bauelemente**

Selektive Lötverfahren, bei denen z. B. mittels Laser, Induktion oder Licht die notwendige Energie zugeführt wird, stellen eine alternative Kontaktierungstechnik für temperatur-empfindliche Substrate und Bauelemente dar. Eine weitere Technik, den Energieeintrag an der Lötstelle lokal zu begrenzen, ist die Energiezufuhr durch eine exotherme Reaktion von nanoskaligen Materialverbänden [IV.2]. Das Reaktionsmaterial wird dabei zwischen die Kontakte des Bauelements und des Schaltungsträgers positioniert und mit Hilfe eines Energieimpulses gestartet. Der Forschungsbedarf liegt bei dieser Löt- und Kontaktierungstechnologie in der Implementierung eines komplett neuen Bestück- und Lötprozesses sowie der dafür notwendigen Systemtechnik. Zudem muss die Qualifizierung dieser Verbindungstechnologie mit unterschiedlichsten Material- und Geometrikombinationen von Substrat, Reaktionsmaterial und Bauelement erfolgen.

#### **IV.3.4 Funktionalisierung der Baugruppen**

##### **Montage optischer Schnittstellen (Gläser, Filter, Linsen) auf Waferenebene**

Eine Möglichkeit sowohl der Miniaturisierung als auch der Kostenreduzierung durch Parallelisierung gerecht zu werden ist, Bestandteile optoelektronischer Gehäuse wie Gläser, Filter oder Linsen bereits auf Waferenebene ähnlich dem Wafer-Level-Packaging zu montieren. Damit ergibt sich auch die Möglichkeit, Materialien zu verwenden, die in einem späteren auf Kunststoff basierenden Gehäuse wegen zu hoher Aushärtetemperaturen nicht mehr nutz-

bar wären, aber Vorteile für die Zuverlässigkeit der Bauteile bieten, wie z. B. eine hohe Feuchtebeständigkeit. Ein weiterer Vorteil speziell bei optischen Sensoren mit kleiner aktiver Fläche ist eine Verringerung des Risikos von kontaminationsbedingten Ausbeuteverlusten in späteren Prozessen, da das Abdecken mit Glas bzw. Filterglas auf Waferenebene unter Frontend-Reinraumbedingungen erfolgt. Als eine Herausforderung ist das Vereinzeln von Materialgemischen auf Standard-Wafersägen im Vergleich zu reinen Siliziumwafern zu nennen. Auch ist die Auswahl der zur Verfügung stehenden Materialien und serientauglichen Anlagen noch begrenzt und entsprechend kostenintensiv, woraus sich die Schwerpunkte für weitere Forschung und Entwicklung ableiten lassen.

##### **Integration weiterer Funktionen in Sensorbauteile**

Häufig liefern Sensorbauteile bei der Umwandlung der zu messenden physikalischen Größen in elektrische Größen (Strom, Spannung) ein schwaches, nicht-lineares analoges Signal, das für eine weitere Verarbeitung verstärkt und digitalisiert werden muss. Zusätzlich beeinflussen Störgrößen, wie die Abhängigkeit des Messsignals von den Umweltbedingungen (Temperatur, Druck, Feuchte), die Auflösung bzw. Empfindlichkeit oder generell die Performance des Sensors. Daher wird für Anwendungen mit hohen Ansprüchen an Auflösung und Empfindlichkeit in erhöhtem Maße eine Verstärkung und/oder Digitalisierung in unmittelbarer Nähe des Sensors oder auch eine Temperaturstabilisierung bzw. Temperaturkompensation nachgefragt. Teilweise können einzelne Funktionen wie Temperatursensoren oder Verstärker direkt in den Halbleiterchip integriert werden. Oft sind aber Integrationslösungen im Gehäuse erforderlich, da diese sogenannten One-Chip- oder monolithischen Lösungen, begründet in den unterschiedlichen Prozessfolgen, sich oftmals negativ auf die Wafer-

ausbeute auswirken. Eine kundenspezifische Anpassung ist in der Regel nur durch ein Re-Design möglich. Gerade bei hochspezialisierten Anwendungen in kleineren Stückzahlen ist eine Integration im Package deshalb meist auch die kostengünstigere Lösung. Dabei ist eine Vielzahl zusätzlicher Aufgabenstellungen zu lösen, wie beispielsweise die Stromversorgung mit (für Sensorbauteile) hohen Leistungen und die Wärmeableitung bei Verwendung von Peltier-Elementen zur Temperaturstabilisierung oder auch die Temperaturbelastung bei der Mischbestückung von Hybridbauteilen mit SMT- und Nacktchipkomponenten. Neben der Weiterentwicklung von bekannten Verfahren wird ein hohes Potenzial in der Nutzbarmachung relativ neuer Technologien (z. B. 3D-Schaltungsträger) und Materialien (z. B. Nanosilber) gesehen.

**Abb. IV.10: Optischer Sensor (APD) und Temperatursensorchip auf Peltierelement**



Quelle: Heinz-Gerd Graf, IMS Chips

### **Fertigungsverfahren für mechanisch flexible MST Baugruppen**

Viele Baugruppen erfordern beispielsweise bei der späteren Integration in Anlagen oder Textilien oder für aufrollbare Displays eine mechanisch flexible Gestaltung. Dünne Chips und die Integration von passiven Bauteilen in flexible organische Träger ermöglichen Systeme mit ausreichender Flexibilität um sich an gewölbte oder strukturierte Oberflächen anpassen zu können [IV.8]. Andererseits können flexible Schaltungsteile mechanische Spannungen in zusammengefügt Systemen reduzieren und die Zuverlässigkeit der Baugruppen erhöhen. Die Gestaltung zuverlässiger flexibler Systeme, die Bestimmung von Prozessrisiken und Ausfallmechanismen sowie die Simulation der Zuverlässigkeit dieser Systeme ist Aufgabe zukünftiger Forschung.

### **IV.3.5 Serienflexible Anlagenkonzepte**

#### **Modularisierung der Anlagentechnik für die Integration neuer Prozesse, Funktionen und Komponenten**

Die Produktion von MST-Packages stellt insbesondere vor dem Hintergrund einer hohen Variantenvielfalt und Produktionsmengen von Einzelstück-Fertigung bis Großserienproduktion neue Herausforderungen an die Auslegung und Gestaltung von Fertigungsanlagen. Die Modularisierung der Anlagen ermöglicht eine wirtschaftliche, prozess- und stückzahlflexible Anpassung des Produktionssystems an neue Aufgaben und Produkte. Mit Hilfe von Prozessmodulen, die unterschiedlichste Fertigungs- und Montageschritte realisieren und die in die Anlagen integriert werden, kann das Produktionssystem an das jeweilige Produkt und die neue Montageaufgaben spezifisch angepasst werden. Die Prozessmodule führen Montageaufgaben, wie beispielsweise Schrauben, Stecken, Drucken (von Lotpaste, Leitkleber, Kleber, ...), Bestücken, Löten und Aushärten sowie Prüf- und Testaufgaben

durch. Für diese Modularisierung sind Maschinen- und Softwareplattformen mit einheitlichen und offenen Schnittstellen erforderlich. Der Forschungsbedarf liegt somit im Entwurf einheitlicher Hard- und Softwareschnittstellen sowie in der Analyse der gegenseitigen Beeinflussung von System und Modul. Zusätzlich ist die Integration der Prozessmodule in eine CAD/CAM-System erforderlich.

#### **Kontaktlose Druckverfahren von Verbindungsmedien für kleine Strukturgrößen und 3D-Strukturen**

Um dem wachsenden Trend maßgeschneiderter technischer Systeme gerecht zu werden, sind für die MST bisherige Fertigungsverfahren und die damit verbundenen Anlagenkonzepte weiterzuentwickeln. Ein Schwerpunkt wird die Integration serienflexibler generativer Verfahren sein. Für den Einsatz in der AVT werden insbesondere digitale kontakt- und maskenlose Druckverfahren (wie Inkjet, Aerosol-Jet und Dispenstechnologien) als interessant angesehen, die – als Weiterentwicklung zum Einsatz bei der additiven Metallisierung – dazu verwendet werden können, Verbindungsmedien für kleinste Anschlussstrukturen aufzubringen. Hier sind Druckstrategien und -parameter zu erarbeiten und anhand begleitender Zuverlässigkeitsuntersuchungen zu evaluieren. Auch die Entwicklung und Implementierung von Systemen zur Prozessüberwachung stellt einen wichtigen Aspekt für den Einsatz in der Serie dar.

## **IV.4 Zusammenfassung**

Folgende Anforderungen werden an Mikrosystemtechnik-Baugruppen gestellt:

- Gesteigerte Umgebungs- und Einsatzbedingungen
  - Hohe Umgebungstemperatur
  - Hohe Leistungsdichte
  - Feuchtigkeit
  - Mechanischer Stress
  - Aggressive Medien und Gase
- Kurze Produktentwicklungszeiten
- Steigerung der Integrationsdichte

Zusammenfassend konnten folgende aktuelle und zukünftige Entwicklungstrends für die Prozesse und Verfahren der Aufbau- und Verbindungstechnik für MST-Packages identifiziert werden:

#### **Entwicklungstrends der vergangenen fünf Jahre**

- Entwicklung von alternativen AVT-Verfahren für hochbeanspruchte MST-Packages
  - Steigerung der thermischen und elektrischen Beanspruchungsfähigkeit der Verbindungsstellen
  - Entwicklungen der Halbleitertechnik
  - Ersatz des Weichlötens durch Hartlötens oder Schweißen
  - Cu-Drahtbonden
  - Ablösung klassischer hermetischer Sensor-Gehäuse durch nichthermetische SMT Gehäuse
  - Halbleiterkontaktierung
- Schnelle Entwicklung von Produktionsprozessen durch Überführung von Prozessen des Prototypings zu serientauglichen Produktionsprozessen (Rapid Manufacturing)
  - Additive Metallisierung
- Entwicklung von AVT-Verfahren für miniaturisierte Baugruppen und dichte Anschlussstrukturen
  - Flip-Chip-Technologien

- Entwicklung von AVT-Verfahren für räumliche Schaltungsträger
  - Prozesstechnik für die Verarbeitung von räumlichen Schaltungsträgern
- Ersatz von Edelmetallen und seltenen Materialien
- Funktionalisierung der Baugruppen
  - Montage optischer Schnittstellen (Gläser, Filter, Linsen) auf Waferebene
  - Integration weiterer Funktionen in Sensorbauteile
  - Fertigungsverfahren für mechanisch flexible MST Baugruppen

### Entwicklungstrends für die Jahre bis 2022

- Entwicklung von alternativen AVT-Verfahren für hochbeanspruchte MST-Packages
  - Steigerung der Prozessgeschwindigkeit des Diffusionslötens und des Silbersinterns
  - Verkapselung von Sensoren in Mehrfachnutzentechnologien
- Entwicklung von AVT-Verfahren für weiter miniaturisierte Baugruppen und hochdichte Anschlussstrukturen
  - Hochintegrierte Komponenten in Ultra-Fine-Pitch-Anwendungen
  - Selbstjustierende Montage [IV.10]
  - Insertion Bonding [IV.11]
- Entwicklung neuer Prozesse für neue Materialien
  - OLED-Technologie und organische Elektronik
  - Alternative Kontaktierung und BE-Handling von LE-MST (z. B. LED) in hybriden Systemen aus Leistungselektronik und Mikroelektronik
  - Kontaktierungsverfahren für temperaturempfindliche Substrate und Bauelemente
  - Thermokompressions-Schweißverfahren für Cu-zu-Cu-Verbindungen
  - Handhabung dünner flexibler Bauelemente in der Montage
- Integration lokaler Intelligenz und Energieversorgung
- Serienflexible Anlagenkonzepte
  - Modularisierung der Anlagentechnik für die Integration neuer Prozesse, Funktionen und Komponenten
  - Kontaktlose Druckverfahren für Verbindungsmedien für kleine Strukturgrößen und 3D-Strukturen

# V. Qualifizierung und Charakterisierung

## V.1 Derzeitiger Stand und Entwicklungstrends der letzten fünf Jahre

### V.1.1 Verschärfte Anforderungen an die Qualität

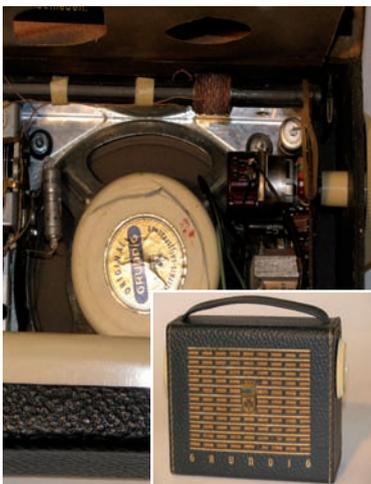
Die Entwicklung der Testmethoden wird getrieben durch verschärfte Anforderungen an die Qualität. In diesem Zusammenhang muss unterschieden werden zwischen einer Qualität des Produktes bezüglich seiner spezifizierten Funktionen in einer definierten Applikation einerseits und andererseits der Funktionsicherheit und der zu erwartenden bzw. realisierten Lebensdauer. In diesen Ausführungen wird schwerpunktmäßig nur der zweite Aspekt behandelt.

Durch die immer weiter gesteigerte Funktionalität der Endprodukte beinhalten diese immer mehr Komponenten in einer Baueinheit, sei dies ein einzelnes Bauteil, ein Multichip-Gehäuse oder eine Printplatte. Ein eindrucksvolles Beispiel ist in Abb. V.1 dargestellt. Es kann als sicher gelten, dass die Komplexität auch in der Zukunft noch deutlich zunehmen wird.

Wenn diese Einheiten sich beim Testen als fehlerhaft erweisen, so sind sie im Allgemeinen nicht oder nur kostenintensiv reparabel. Insofern sind auch scheinbar einfache Bauteile in der Qualitätsbetrachtung wichtig, da durch deren Ausfall die Funktionalität einer viel wertvolleren Baugruppe gestört wird. Insofern gelten heute zwar für Baugruppen oft Qualitätsanforderungen von ‚nur‘ 10 ppm (parts per million) zu Anfang der Einsatzdauer, jedoch wird zum Beispiel für einfache Transistoren in Qualitätsniveaus von ppb (parts per billion) gerechnet.

Oft sind diese Anforderungen gekoppelt mit neuen Packaging-Technologien, die kostengünstiger, kleiner und oft auch komplexer sind. Es werden heute kaum noch hermetisch gekapselte Bauelemente verwendet. Drahtbonden wird sehr oft durch Bumping-Technologien ersetzt, Multichip-Bauelemente werden Standard, für Chip-Stacking sind TSVs (Through-Silicon-Vias) notwendig und anderes mehr. Trotz Einführung neuer Technologien darf die Qualität nicht reduziert werden.

**Abb. V.1: Entwicklung der Komplexität in der Elektronik am Beispiel von Mikrocomputern**



**Ende 20. Jahrhundert**

Grundig Transistorbox, eines der ersten Voll-Transistorradios mit 5 Transistoren, ca. 1958



**Anfang 21. Jahrhundert**

Moderne mehrlagige Printplatte mit miniaturisierten Bauelementen



**Mitte 21. Jahrhundert**

Eine weitere Komplexität folgt aus der Integration unterschiedlicher Funktionen in einem Gehäuse (Sensoren mit Prozessoren, Aktuatoren mit Feedback) mit inkommensurablen Testanforderungen.

## V.1.2 Testmethoden

### V.1.2.1 Applikationsspezifische Anforderungen

Die Qualitätsanforderungen an ein Produkt bezüglich seiner Ausfallwahrscheinlichkeit sind je nach Applikation sehr unterschiedlich. Exemplarisch seien nur einige Anwendungsfelder gelistet, die sofort die unterschiedlichen Anforderungen evident werden lassen:

- Spielzeuge
- Audio- und Video-Equipment
- Mobilfunk
- Raumfahrt
- Medizinische Anwendungen, z. B. in Implantaten
- Sicherheitsrelevante Systeme in Flugzeugen
- Automatisierungstechnik (gerade in Deutschland mit dem Schwerpunkt Maschinenbau/Industrieautomatisierung wichtig)
- Und viele andere mehr (siehe auch Tabelle I.1)

Aufgrund der unterschiedlichen Anforderungen gibt es konsequenterweise auch ganz unterschiedliche Normen, Standards, Vorschriften und gesonderte Zulassungsverfahren. Auf diese soll hier nicht eingegangen werden, sondern es wird versucht, gemeinsame Trends herauszuarbeiten.

### V.1.2.2 Mehrfachtests, Testzeiten und Stichprobengrößen

Ein allgemein übliches Verfahren ist die Überlagerung verschiedener Testverfahren. Waren früher z. B. Hochtemperaturlagerung, Feuchtigkeit, elektrische Belastung, HAST, Droptest, HALT u. v. a. m. einzelne Tests, so werden diese immer häufiger in Kombination durchgeführt, um sich späteren Umweltbedingungen zeitverkürzt möglichst gut anzunähern.

Als Beispiel sei die Korrosion der Aluminium-Metallisierung unter einem aufgeklebten Filterglas einer optischen Schnittstelle in einem Chip on Board Package (CoB) bei einer Qualifikation von Lawinen Fotodioden nach AEC-Q101 dargestellt. Bei einem labormäßigen Test der Aluminium-Metallisierung ergeben sich (siehe Abb. V.2) im High-Humidity/High-Temperature-Test (H<sup>3</sup>T) noch keine signifikanten Korrosionserscheinungen, jedoch führt die gleichzeitige Beaufschlagung durch eine Spannung im High-Humidity/High-Temperature/Reversebias-Test (H<sup>3</sup>TRB) zu erheblichen Zerstörungen des Bauteiles, wie in Abb. V.3 gezeigt.

Eine weitere Verschärfung ist die Verlängerung der Testzeit. War früher zum Beispiel eine Testzeit von 1.000 h der Standard, so wird heute durchaus auch 3.000 h und mehr getestet („test to fail“). Dies ist natürlich eine ganz wesentliche Verzögerung in einer Produktfreigabe.

Kritisch ist auch die Stichprobengröße zu hinterfragen. Oft sind Stichproben von 77 Stück üblich und gekoppelt mit der Erwartung, dass kein Bauteil ausfällt. Mit dieser Randbedingung lassen sich aber oft Veränderungen der Qualität kaum noch herausfiltern.

### V.1.3 Analysen der Ausfallmechanismen

Weitgehend selbstverständlich ist heute, dass alle ausgefallenen Bauteile analysiert werden, um die technologische Fehlerursache zu bestimmen. Das beinhaltet auch eine detaillierte Analyse und Bewertung der mit den konstruktiv-technologischen Lösungen einhergehenden Materialien, die vor einer Entwicklung stattfinden.

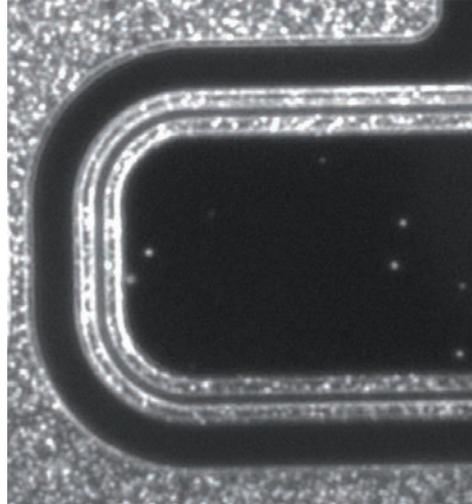
Aus dem Ausschuss beim Testen während der Produktion werden regelmäßig Stichproben zur Analyse gezogen. Auch Feldausfälle werden regelmäßig analysiert. Es ergibt sich jedoch oft die Schwierigkeit, dass der Zugriff zu Feldausfällen oft nach sechs Monaten mit dem Ende der Garantiezeit endet. Somit hat der Hersteller in einigen Märkten über Lebensdauer begrenzende Ausfallmechanismen keine statistisch auswertbaren Informationen aus dem realen Einsatzfeld.

### V.1.4 Theoretische Vorhersage der Ausfallmechanismen

Es kommen zunehmend FEM-Simulationen in Ergänzung zu realen Qualifizierungsmethoden zum Einsatz. Mit Hilfe geeigneter Modelle können heute unterschiedlichste Zielstellungen verfolgt werden. Zum einen können Modellrechnungen vor der experimentellen Qualifikation eingesetzt werden, um das Design im Sinne eines ‚Design for Reliability‘ zu optimieren. Zum anderen können Ausfallbilder aus Qualifikations- und Feldrückläufern mit Hilfe der Simulation interpretiert werden, um Abhilfemaßnahmen zu entwickeln.

Die häufigsten strukturellen Ausfälle lassen sich auf thermomechanische Belastungen zurückführen. Hier können, wie in Abb. V.4 dargestellt, lokale mechanische Belastungen (plastische Dehnungen im Bonddraht) berechnet und aufgrund dieser Ergebnisse geometrische Einflüsse vermieden werden, die zu frühen Bonddrahtbrüchen führen.

**Abb. V.2: IR-Bild unbiased H<sup>3</sup>T 1.000 h bei 85 °C/85 Prozent**



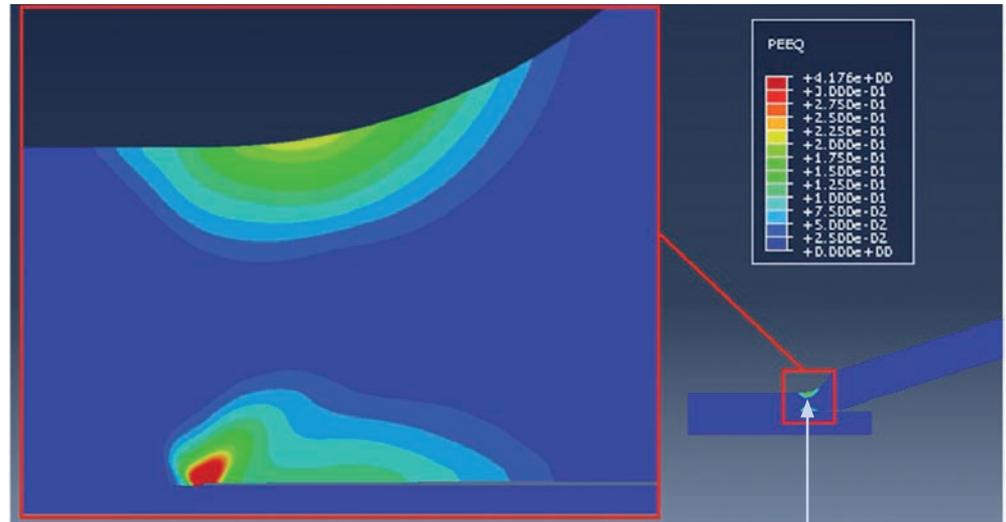
Quelle: First Sensor

**Abb. V.3: IR-Bild biased (100 V) H<sup>3</sup>TRB 1.000 h bei 85 °C/85 Prozent**

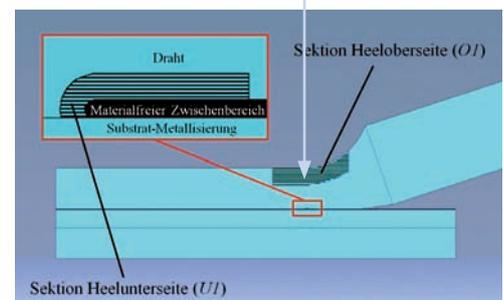


Quelle: First Sensor

**Abb. V.4: Beispiel einer FEM Simulation für Bonddrahtbrüche (hier dargestellt die plastische Dehnung)**

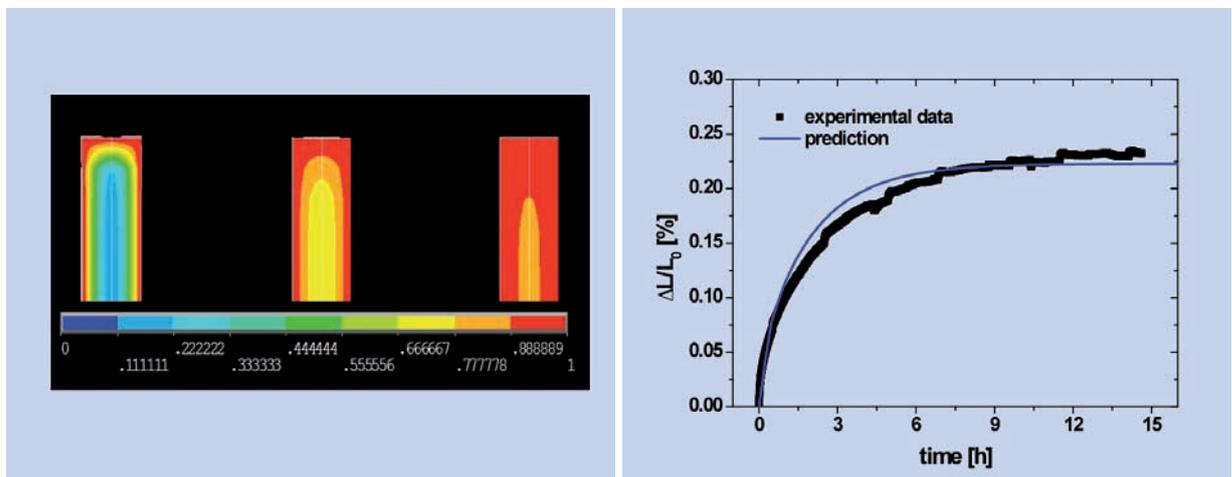


Quelle: Einfluss der Drahtgeometrie auf die plastischen Dehnungen im Heel-Bereich von ALSi1-Standard-Drahtbondverbindungen, J. Kripfgans, M. Schneider-Ramelow, S. Schmitz, W.H. Müller, PLUS Dezember 2012, pp. 2717 bis 2727



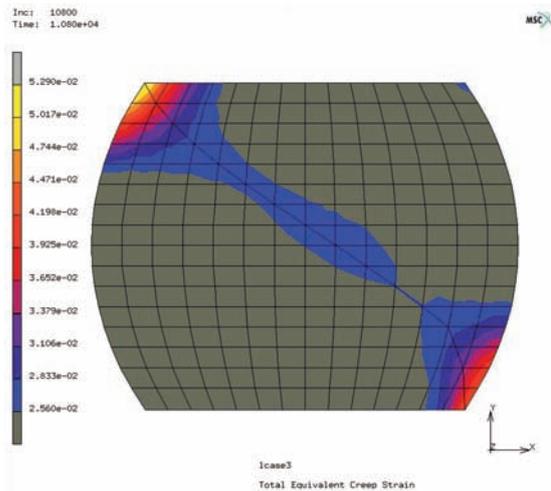
Darüber hinaus ist es heute schon möglich, feuchte- und temperaturinduzierte mechanische Belastungen zu simulieren. So zeigt Abb. V.5 die Feuchteaufnahme und resultierende Dehnung eines Verkapselungswerkstoffes. Diese führt im Resultat zu mechanischen Spannungen im Package und kann das Verhalten eines Sensorelementes beeinflussen.

**Abb. V.5: Simulative (a) und experimentelle (b) Untersuchungen zum feuchteinduzierten Schwellverhalten in einem hochgefüllten Epoxidharz**



Quelle: Fraunhofer-IZM Berlin, BMBF-Projekt ‚Dianasens‘ FKZ 16SV5366

**Abb. V.6: Kriechband im Lotkontakt 4 für weiches Underfill mit hohem Wärmeausdehnungskoeffizienten**



Quelle: Bild 4.1.3.2.2 des Abschlussberichtes für AiF-Vorhaben Nr. 13.138 B

Auch eine Modellierung von Ermüdungsmechanismen (z. B. mechanischer Wechselbelast) bei Lotverbindungen ist möglich. Hier sei auf grundlegende Arbeiten in einem BMWi-geförderten Projekt verwiesen (AiF 13.138 B, 'Untersuchungen zur Unterfüllung von Bauteilen mit flächig verteilten Lötanschlüssen in der Oberflächenmontagetechnik'). Dort wurde auf Grundlage der Beziehung von Coffin-Manson die minimale Anzahl von Temperaturzyklen ermittelt: 'Beanspruchungsgröße ist der mittlere Zuwachs der Vergleichskriechdehnung während des 3. Temperaturzyklus, und zwar entlang des Weges des lokalen maximalen Zuwachses (Kriechband). Sie liefert eine untere Schranke für die Anzahl der Zyklen bis zum Bruch.'

Aufgrund der Simulationen konnte in diesem Forschungsvorhaben eine Prognose für den Bruch der Lötstellen erarbeitet werden, die zur Optimierung eines bestgeeigneten Underfillmaterials diente. Es soll aber nicht unerwähnt bleiben, dass nur ein Ausfallmechanismus (Bruch der Lotkugel durch zunehmende Kriechdehnung) bei nur einer Stressbelastung (Temperaturwechseltest) bearbeitet wurde. Die Autoren weisen selbst darauf hin, dass es noch andere kritische Ausfallmechanismen gibt, die eng mit den gewählten Parametern für das Underfillmaterial zusammenhängen, wie z. B. die Rissbildung im Si-Chip oder Delamination. In einem späteren BMWi-geförderten Projekt (AiF 132 ZN, 'Volumeneffekte und technische Zuverlässigkeit von bleifreien Lötstellen') wird in einer erweiterten Form insbesondere auf den Einschluss von Poren in der Lotmasse eingegangen. Auch dies hat einen entscheidenden Einfluss auf das Lebensdauerverhalten.

Wie sich aus den Ergebnissen der ersten Studien ablesen lässt, ist die Auswahl des Underfillmaterials von ganz entscheidender Bedeutung und konnte theoretisch klar herausgearbeitet werden (siehe folgende Tabelle V.1).

**Tab. V.1: Lebensdauer der Lotkontakte (Anzahl der Zyklen bei der Simulation eines Temperaturwechseltest bis zum Bruch)**

Mittlerer E-Modul des Underfillmaterials (MPa)	Mittlerer thermischer Ausdehnungskoeffizient des Underfillmaterials (ppm/°K)	Lotkontakt			
		1	2	3	4
935 (,weich', ohne Füllmaterial)	52,3	578	729	636	391*)
	24,0	1.397	1.103	858	599
	16,1	1.282	1.035	831	560
	1,0	1.021	868	764	505
8.759 (,hart')	29,6	1.763	1.867	1.890	1.842
	24,0	2.660	2.641	2.627	2.618
17.524 (,sehr hart')	24,0	2.483	2.518	2.576	2.670
	16,1	3.972	3.754	3.762	3.981

Quelle: Tab. 4.1.3.2.1 des Abschlussberichtes für AiF-Vorhaben Nr. 13.138 B  
\*) Kriechbandbild siehe Beispiel in Abb. V.6

   = kritischster Lotkontakt

zum Vergleich (300 °K):			
Silizium:	ca. 148.000	Silizium:	ca. 2,6
Lotkugel:	ca. 28.000	Lotkugel:	ca. 24
Leiterplatte:	ca. 18.000	Leiterplatte:	ca. 18

Auch neuere Arbeiten basieren auf der Berechnung der Kriechdehnung im kritischsten Lötkontakt. In Abb. V.7 wird das Ergebnis der Analyse zur prognostischen Bewertung der Zuverlässigkeit eines Ball-Grid-Array-Moduls dargestellt. Im linken Bildteil ist das gesamte Array skizziert, im rechten ein Ausschnitt des kritischsten Lötkontaktes.

Es ist zwingend notwendig, die Möglichkeiten der theoretischen Lebensdauervorhersage zu erweitern und verlässlicher zu machen. Insbesondere muss ein Standard von Ausfallmechanismen definiert werden, der dem Gesamtverhalten des Bauteiles während der Lebensdauer gut entspricht.

Extrapoliert man den erheblichen Aufwand, der bereits für einen Fehlerfall erforderlich war, so kann man ohne Probleme behaupten, dass noch ein mehrfacher Aufwand notwendig ist zur reinen Erstellung einer umfassenden Lebensdauerprognose. Insofern wurden die bisherigen Ergebnisse meist nur zur Optimierung ausgesuchter Entwurfsdetails verwendet. Insbesondere muss auch in Experimenten nachgewiesen werden, dass solche Prognosen auch die Realität hinreichend genau widerspiegeln.

## V.2 Zukünftige Entwicklungstrends

### V.2.1 Allgemeine Trends

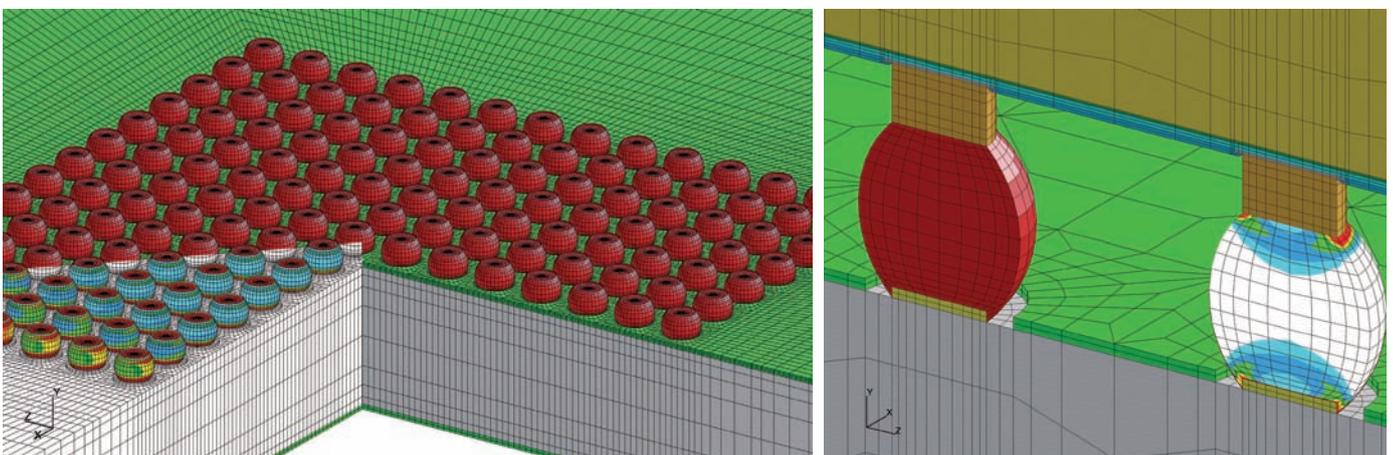
Die Überlappung von Gehäusetechnologie und Wafer-Technologie wird immer deutlicher werden.

Die zunehmende Komplexität der AVT-Technik und der Chip-Sets werden zu einer zunehmenden Herausforderung für die Systementwicklung als auch für die Qualifikation/Zertifizierung. Ein Modul wird sehr viel mehr Funktionalität beinhalten bei deutlich erweiterten Betriebsbedingungen.

In den nächsten Jahren wird sich der in Kapitel V.1.1 geschilderte Trend zu höheren Anforderung fortsetzen. Dies wurde auch schon in einer früheren Roadmap deutlich herausgearbeitet, speziell für Materialien wie Lotpasten und Bonddrähte (Technologieroadmap 2020, ZVEI, S. 153 pp).

Durch neue Werkstoffe und durch einen Paradigmenwechsel des Werkstoffverhaltens durch den Übergang von **Marko** → **Mikro** → **Nano**

**Abb. V.7: Finite-Elemente-Netzmodell und Angabe der Verteilung der pro Temperaturzyklus (-40 °C ... 125 °C) im kritischen Lötkontakt (SAC) akkumulierten Kriechdehnung. Deren Maximum (roter Bereich) markiert den Startpunkt der Schädigung (Riss)**



Quelle: Sven Rzepka, Fraunhofer-ENAS, Chemnitz

werden neue Ausfallmechanismen an Bedeutung gewinnen und müssen früh erkannt werden. Dazu sind schnellere Prüfalgorithmen, Strategien und Verfahren zwingend notwendig.

Theoretische Simulationen werden weit höhere Bedeutung erlangen, um extrem lange Testzeiten zu vermeiden.

Auch werden Lebensdauertests auf Wafer-ebene weit häufiger zum Einsatz kommen, weil einerseits ein ‚Wafer-Level-Packaging‘ dies zwingend fordert und andererseits ein Testen auf Wafer-ebene Vorteile sowohl in der Testzeit als auch in der Ausfallursachenanalyse bietet. Die Hersteller von Fertigungs-ausrüstungen werden vermehrt Maschinen bauen, die sowohl die Gehäusetechnik als auch die Prozessierung von Wafern beinhalten, da beides für eine moderne AVT-Technik benötigt wird.

## V.2.2 Analysetechnik

Aufbauend auf bestehenden Techniken müssen besonders schnelle und kostengünstige Möglichkeiten erweitert werden. Da es mit der Mannigfaltigkeit der Analysetechnik nicht möglich sein wird, alle gewünschten Geräte samt zugehörigem Know-how in den Labors vorzuhalten, wird die Bedeutung externer Analysen immer wichtiger.

Um dieses zu unterstützen ist notwendig:

- Standardisierung von Analysemethoden
- Infrastruktur, die einen schnellen und effizienten Zugriff erleichtert
- Kostengünstige Angebote für die Durchführung von Analysen aber auch für die unterstützende Interpretation der Ergebnisse
- Standardisierung von Software für den Export und Import von Datenmaterial (als Beispiele seien hier die Bereitstellung von Daten aus einer 3D-Computertomographie oder einer 3D-Maxwellsimulation für EMV-Verträglichkeit genannt)

- Serviceinstitute und Einrichtungen, die eine Vielzahl von Analysetechniken anbieten und auch gut geschultes Personal vorhalten können

Auch die Bereitstellung von Untersuchungsmaterial kann logistisch noch verbessert werden. Standard ist heute schon:

- Erfassung von Ausschuss nach vordefinierten Fehlerkriterien („Fehlerbins“)
- Acceptance Tests mit Material aus laufender Produktion
- Periodische Wiederholung der Qualitätstests, solange das Produkt hergestellt wird

Bei vielen Produktfamilien kann aber die Rückmeldung aus der Felderfahrung noch deutlich verbessert werden

- Einführung eines logistischen Systems, um auch nach einer Garantiezeit (bei Consumerprodukten oft nur 6 Monate) gute Stichprobenverteilungen zur Analyse bereit stellen zu können
- Genauere Erfassung des Nutzungsverhaltens, eventuell nach verschiedenen Nutzergruppen differenziert
- Genauere Definition der Struktur zur Analyse von Felddausfällen (z. B. durch Handlungsanweisungen in Normen und/oder Zertifizierungsprozeduren, e. g. JEDEC, Mil, ISO)

## V.2.3 Simulation von Zuverlässigkeitstests

Das Thema der theoretischen Vorhersage einer Qualität und einer Zuverlässigkeit wird in Zukunft an extrem hoher Bedeutung gewinnen. Schnelle Produktzyklen, hohe Anforderungen, komplexe Fehlermechanismen sowie die wachsende Komplexität von Systemen (sei es als Chip oder in Multichipgehäusen oder auch auf Printplatten) lassen eine verkürzende Stressprüfung immer schwieriger werden.

Darüber hinaus führt die Integration von unterschiedlichen Funktionen in einem Gehäuse (Sensoren mit Prozessoren, Aktuatoren mit Feedback) zu inkommensurablen Testanforderungen. Es ist zwar selbstverständlich, dass alle Komponenten eines Systems in der realen Applikation gleichen Bedingungen ausgesetzt sind. In einem verkürzenden Test mit verschärften Belastungen kann dies jedoch zu unsinnigen Frühausfällen führen. Beispielsweise können mechanische Belastungen (Vibrationen, Schocks, Druck ....) für einige Komponenten sehr wohl verschärft werden, wohingegen es jedoch bei anderen Komponenten, wie mikromechanischen Sensoren oder Aktuatoren, manchmal nicht möglich ist.

Weiterhin kann oft auch eine Belastung nicht erhöht werden, um damit das Auftreten von Fehlern zu beschleunigen. Soll z. B. die maximale Anzahl von Lastspielen eines mechanischen Systems bestimmt werden, so kann oft die Frequenz nicht erhöht werden, weil die Systemantwort mit einer oberen Grenzfrequenz limitiert ist.

Das Gleiche gilt, wenn ein Bauteil eine hohe Wärmekapazität (interne Heatsink) hat. Dann sind Temperaturwechsel in sehr schneller Folge einfach nicht möglich oder einzelne (innenliegende) Elemente des Produktes werden gar nicht mehr durch den Temperaturwechsel beaufschlagt.

- Zur Erweiterung theoretischer Vorhersagen ist die Kenntnis von einem Ausfallmechanismus von ganz wesentlicher Bedeutung. Deshalb basiert die theoretische Vorhersage auf einer guten Analysetechnik.
- Ebenso notwendig ist die genaue Kenntnis der Charakteristiken der verwendeten Materialien. Um die Mannigfaltigkeit der Möglichkeiten zu begrenzen, ist es zwingend erforderlich, Materialien und auch Verarbeitungsprozesse (die auf Materialeigenschaften ja auch einen Einfluss haben!) stärker zu standardisieren.

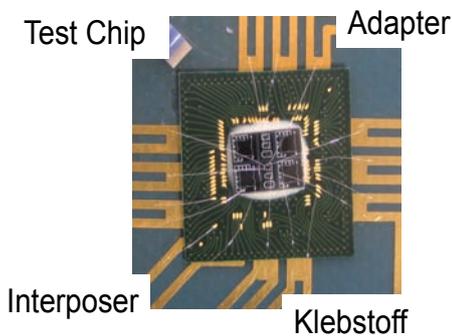
Eine durchaus fundierte Methode ist die Annahme einer Aktivierungsenergie für einen Degradationsprozess und die Extrapolation mittels eines Arrhenius-Modells. Zukünftig ist aber eine Simulation notwendig, die auch komplexere Ausfallstrukturen erlaubt. Dies erfordert auch die Entwicklung neuer Modelle und Software für den Systementwurf, den Entwurf der Testprozeduren und zur Vorhersage der Zuverlässigkeit von Gehäusetechniken. Insbesondere ist dabei zu berücksichtigen, dass 3D-Gehäusetechniken damit simuliert werden können. Diese werden zurzeit sowohl in Forschungseinrichtungen als auch in der Industrie mit hoher Priorität entwickelt.

Dazu ist es notwendig:

- FEM-Methoden zu erweitern
- Thermische und mechanische FEM-Methoden noch besser zu verknüpfen
- Galvanische und elektrogalvanische Prozesse auch dreidimensional zu modellieren
- Standardisierung von eingesetzten Materialien, um bei Erweiterung der Lieferantenbasis nicht völlig neu qualifizieren zu müssen
- Die Charakteristiken der verwendeten Materialien noch genauer zu definieren (z. B. Korngrößenwachstum, Glaspunkt, Versprödung über lange Zeiträume)
- Definition von Langzeitcharakteristika der eingesetzten Materialien
- Verarbeitungsvorschriften standardisieren, da diese die Materialeigenschaften wesentlich beeinflussen können (es genügt nicht, die Charakteristika nur im Anlieferungszustand zu kennen!)
- Maxwellsimulationen bezüglich dem EMV- und EMI-Verhaltens zu verfeinern

Als Beispiel einer zusätzlichen Komponente kann die Verwendung von speziellen Chips erwähnt werden, welche die realen mechanischen Spannungen in einem Gehäuse messtechnisch erfassen und somit wichtige Eingangsparameter für eine Simulation liefern.

**Abb. V.8: Testchip um mechanische Oberflächenspannungen im montierten Zustand messen zu können. ‚In situ Stressanalyse beim Kleben‘**



Quelle: Matthias Steiert, IMTEK – Institut für Mikrosystemtechnik

Weitere Informationen zu dem Thema der ‚in situ‘ Spannungsmessung wurden auch innerhalb eines geförderten Forschungsprojektes erarbeitet (siehe hierzu: Abschlussbericht zum Verbundvorhabens ‚Entwicklung eines integrierten Stressmesssystems zur Quantifizierung der 3D-Verformung von Sensorbauelementen in Abhängigkeit des Verpackungsprozesses‘, VDE/VDI-Reihe Innovation in der Mikrosystemtechnik, BMBF Bibliothek Bonn, 2009 oder auch Dr. Thomas Schreier-Alt und Dr. Frank Ansorge, Fraunhofer-IZM Oberpfaffenhofen, ‚Stressmessung auf Chip-Ebene – ein Fahrtenschreiber für die Elektronikverarbeitung‘, PLUS Juni 2013, pp. 1295 bis 1304). In Zukunft werden Lebensdauervoraussagen erwartet, die weit über 10.000 h liegen werden. Zum Beispiel werden bei LED-Leuchtmitteln Betriebszeiten durchaus mit 100.000 h erwartet. Im medizinischen Bereich liegen für Implantate die zu erwartenden Betriebszeiten teilweise noch höher. Auch bei extremer Belastung lassen sich solche Prognosen nicht durch einfache Extrapolation aus einem 1.000 h Test verlässlich vorhersagen. Hier ist sowohl eine verlässliche theoretische Vorhersage der mittleren Lebensdauer, als auch der vorzeitigen Ausfallwahrscheinlichkeit (FIT) zwingend notwendig.

Es soll nicht die Mächtigkeit dieser Arbeit unterschätzt werden. Fast jeder Ausfallmechanismus erfordert eine separate Simulation. Und unabdinglich ist jede Simulation auf

Korrelation mit der Realität zu überprüfen. Dies erfordert aber zwingend extrem lange Testzeiten. Insofern kann dies nur an ausgewählten Systemen vorgenommen werden und in einer Detailliertheit, die eine Übertragung der Ergebnisse auf andere Produkte erlaubt (‚Similarity‘). Nur dadurch kann einem immer stärker vorhandenen Kostendruck Rechnung getragen werden.

#### V.2.4 Mess- und Prüftechnik

Die Mess- und Prüftechnik erfordert teilweise auch außerordentliche hohe Genauigkeiten und Empfindlichkeiten. Oft geht diese an die Grenzen einer Messtechnik, wenn z. B. Leckströme gemessen werden sollen (für Fotodioden im pA-Bereich und bei Anstiegszeiten von ein bis zwei ns, wobei noch die genaue Kenntnis der Anregungswellenlänge bekannt sein muss). Um aber auch kleine Driften der Parameter früh erfassen zu können, müssen auch diese Werte mit hoher Genauigkeit ermittelt werden.

Erschwerend kommt hinzu, dass solche Eigenschaften gleichzeitig unter verschärften Bedingungen ermittelt werden müssen, z. B. bei extrem niedrigen oder hohen Temperaturen. Auch Feuchtigkeit kann die Genauigkeit der Messeinrichtung verschlechtern, so ist eine Messung im pA-Bereich oft nur unter Schutzatmosphäre möglich.

Für Testanlagen muss mehr und mehr gefordert werden, dass kombinierte und überlagerte Testverfahren möglich sind.

Allgemein lässt sich dies in folgende Zielsetzungen zusammenfassen:

- Hohe Genauigkeit der Messanlagen auch bei herausfordernden Messwerten
- Messung von Mehrfachnutzen (Parallelisierung)
- Schutzatmosphäre
- Langzeittestanlagen mit überlagerten Testverfahren (Temperatur, Feuchte, Vibration, Bias ....)

Insbesondere soll darauf hingewiesen werden, auch kurzzeitige Ausfälle (z. B. Kontaktausfälle im ms-Bereich) zu erfassen. Dies stellt erhebliche Anforderungen an die Messtechnik und die Verarbeitung der erforderlichen Datenmengen.

Solche Ausfälle können nur durch permanente Überwachung aller Testsamples erkannt werden. Das ist eine herausfordernde Aufgabe.

Ebenso kann es durchaus sinnvoll sein, lebensdauerrelevante Charakteristiken zu 100 Prozent zu prüfen. Besonders zu erwähnen ist eine Röntgenanalyse, um Einschlüsse oder Voids in einer Lötverbindung zu detektieren. Je besser die Möglichkeiten einer schnellen Bildverarbeitung sind, desto treffsicherer wird das Testergebnis. Ebenso interessant wäre es, mit US-Mikroskopen eine Delamination zu detektieren. Auch hier ist die Schnelligkeit der Anlagen (Ankopplung über eine Immersionsflüssigkeit) und der Auswertung heute noch ein Hindernis.

### V.2.5 Qualitätssicherung auf Waferebene

In der Zukunft wird es keine saubere Trennung zwischen Wafer und Gehäuse mehr geben. Offene Chips werden verarbeitet (z. T. durch ‚underfill‘ stabilisiert und durch ‚globtop‘ passiviert) und sogenanntes ‚Wafer-Level-Packaging‘ zur hermetischen Verkapselung ist in Produktion. Ebenso werden mehr und mehr ‚die-stacks‘ zur Anwendung kommen, um platzsparende AVT-Techniken zu realisieren und höhere Integrationsdichten zu ermöglichen.

In Erweiterung zu Tests der Bauelemente muss deshalb gesteigerten Wert auf ein Testen und eine Qualifizierung auf Waferebene gelegt werden. Dies führt zu einer erheblichen Kosteneinsparung und beschleunigt den Qualifizierungsvorgang. Werden Chips für eine Chip-on-Board Montage geliefert, ist dies ohnehin zwingend erforderlich.

Dabei ist jedoch zu berücksichtigen, dass ein Wafer nicht alle Belastungen verträgt (z. B. keine mechanischen Schocks oder Drop-tests). Insofern kann ein Wafertest nicht alle Untersuchungen am Bauteil ersetzen. Als Beispiel sei das Testen von Leistungshalbleitern genannt. Da wegen fehlender Wärmesenke und fehlender Kontaktierungsmöglichkeit (z. B. 1.000 V mit 800 A) nicht die volle Leistung aufgebracht werden kann, ist die im Betrieb gegebene Junction-Temperatur nicht erreichbar. Das Testen auf einem geheizten Waferchuck (z. B. auf 150 °C aufgeheizt) kann aber treffsichere Prüfungen ermöglichen. Entsprechende Anlagen sind bezüglich Durchsatz und Handling noch wesentlich zu verbessern. Werden durch solche Tests einzelne Dies identifiziert, die bei einer Endmessung ausfallen würden, so werden die teilweise erheblichen Kosten eines Gehäuses eingespart.

Manche Beaufschlagung benötigt auch die Testmöglichkeit im Vakuum. Ein Beispiel sind MEMS Bauelemente, die noch nicht auf Wafer-ebene gekapselt worden sind.

Es werden Messungen von Parametern auf Waferebene notwendig, die bisher nur auf Komponentenebene möglich waren. In der laufenden Fertigung kann es notwendig sein, im 100 Prozent-Wafertest auch nicht-elektrische Stimulationen aufzubringen, wie z. B. Lichteinstrahlung, Druck, Schalldruck. Dies erfordert z. T. eine ganz neue Konstruktion von Testeinrichtungen. Diese Investitionen sind aber meist schnell amortisiert, weil damit nur noch funktionell gute Elemente weiter verarbeitet werden müssen (KGD = Known Good Dies). Werden Elemente im Vakuum getestet, ist die schnelle Beladezeit über Schleusen oder die kurze Pumpzeit eine wichtige Eigenschaft einer Anlage.

Zusammengefasst lassen sich folgende Forderungen formulieren

- Effizienzsteigerung bei der Charakterisierung, Messungen im Mehrfachnutzen, Messung von Parametern auf Waferebene, die bisher nur auf Komponentenebene möglich waren (dazu auch Wafer-Design for Testability)
- Applikation und Messung nicht-elektrischer Parameter auf Wafertestern
- Prüfmöglichkeiten im Vakuum oder Schutzatmosphäre
- Prüfmöglichkeit unter Temperaturbelastung
- Auswertung eines dynamischen Verhaltens durch Analyse der Charakteristik bei Prüfung von Durchbruchverhalten oder Pull-In-Vorgängen, um nicht nur einen Punkt der Spannungsfestigkeit abzuprüfen, sondern um Bauteile mit atypischen Verhalten zu selektieren

Darüber hinaus wird es immer attraktiver auch nicht-elektrische Parameter auf dem Wafer zu messen.

Im Sinne einer Lebensdauersicherung ist eine Überwachung der Wärmeverteilung durch Thermokameras möglich, um

- Hot-Spots zu erkennen und bei Leistungsbaulementen eine gleichmäßige Wärmeverteilung zu garantieren
- Beginnende (Lawinen-) Durchbrüche bei vielzelligen Bauelementen, wie IGBT's, zu identifizieren, ohne durch einen zu stark belastenden Test eine Vorschädigung zu riskieren

Auch die Beaufschlagung von nicht-elektrischen Parametern ist notwendig, z. B.

- Schallquellen bei Mikrofonen
- Druck für Drucksensoren
- Gasmischungen für chemische Sensoren
- Luft mit kontrolliertem Wassergehalt für Feuchtesensoren
- Vibrationen bei Beschleunigungssensoren

- Rotation bei Drehratensensoren
- Beleuchtung für optische Sensoren

Um hier zu kostengünstigen Lösungen zu kommen, die auch eine schnelle 100 Prozent-Prüfung erlauben, sind noch deutliche Optimierungen der Waferprober notwendig. Oft wird durch indirekte Stimulation eine Systemantwort ausgewertet. So kann z. B. bei einem Beschleunigungssensor oder einem Mikrofon durch Anlegen einer Spannung eine mechanische Auslenkung angeregt werden, die dann über elektrische Messungen ausgewertet wird. Auch wird die Technik angewendet, in einem Sensor oder Aktuator einen komplementären Aktuator bzw. Sensor zu integrieren. Dies ist jedoch meist eine Prozessweiterung oder es benötigt zusätzliche Fläche auf dem Chip und ist dadurch ein unerwünschter Kostenfaktor.

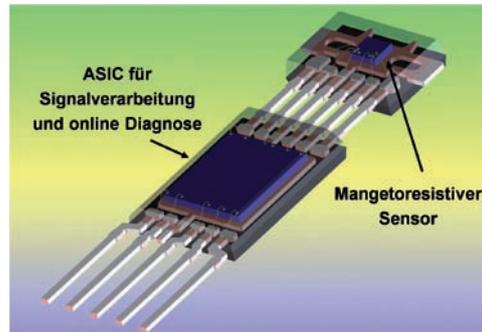
## V.2.6 Selbsttestende Bauelemente und Systeme

Es werden leistungsfähigere Prozessorfamilien integriert, die komplexe Algorithmen für einen Selbsttest ermöglichen. Auch Sensoren und Aktuatoren für ein Feedback oder ersatzweiser Stimulation werden immer mehr möglich.

Testzeiten sind ein wesentlicher Kostenfaktor bei der Produktion. Mit selbsttestenden Einheiten kann der Aufwand reduziert und außerdem das Produkt auch während der Lebensdauer auf Fehlfunktion überwacht werden. Auch bei Ausfall von Teilkomponenten soll es möglichst keinen Totalausfall geben. Dies ist machbar durch

- Selbsttestende Systeme (BIST = Built In Self Test)
- Selbstkorrigierende Systeme
- Redundante Systeme

**Abb. V.9: Magneto-resistiver Magnetsensor mit Selbstdiagnose**



Quelle: Philips Presentation KMA200, Novel self-monitoring Magnetoresistive Sensor System for Automotive Angular Measurement Applications, SAE world congress, Detroit, März 2002

Dabei ist die Aufgabe eines verlässlichen Selbsttestes sowohl die grundlegende Voraussetzung für eine Korrektur als auch für die Aktivierung einer Redundanz. Je nach den konzipierten Möglichkeiten eines Systems kann es bei Analyse einer Fehlfunktion verschiedene Reaktionen geben, z. B.

- Anzeige einer Fehlfunktion
- Abschaltung von ganzen Geräten/Maschinen
- Umschaltung auf einen Minimal-/Notbetrieb bei Vorliegen eines Fehlers
- Selbstkorrektur (häufig wird eine automatische Neukalibrierung eines Offsets möglich sein)
- Aktivierung einer Redundanz

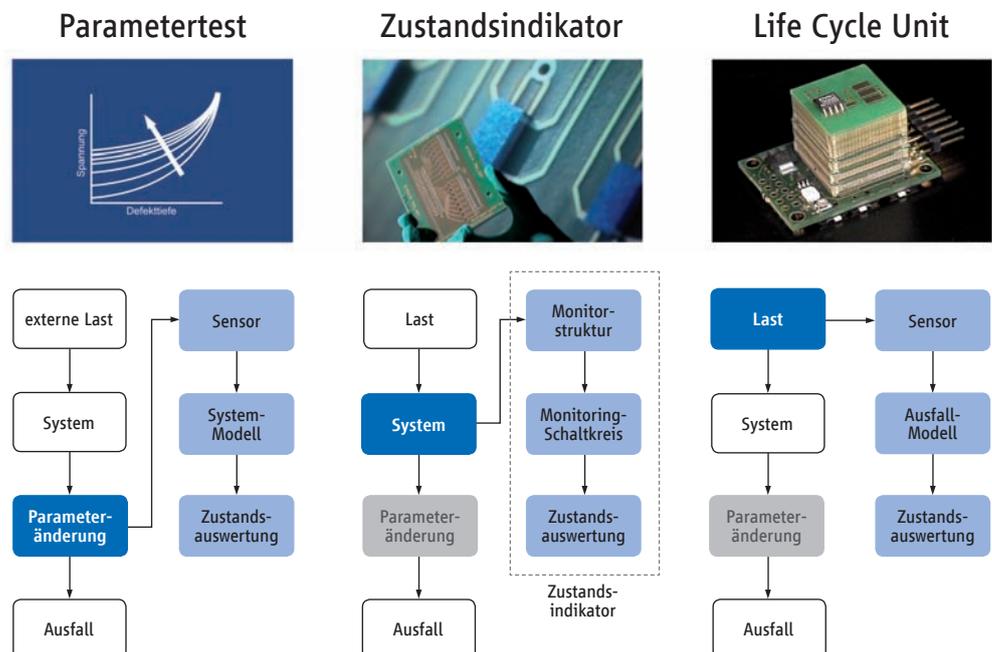
Ein gutes Beispiel einer schon existierenden Komponente mit Selbsttest ist beschrieben in K. Dietmayer, M. Weser, S. Pusch, Integrated Angular Measurement System with Online Diagnosis, Eurosensor, 2000.

Dieses Bauteil testet:

- Loose bond connection at the sensor chip or at the input stage of the signal conditioning electronics
- Short circuit of sensing lines against each other or against supply voltage or ground
- Broken sensor supply connection
- Broken sensor ground connection
- Fail of one or both Wheatstone Bridges
- Fail of one or both pre-amplifiers input stage
- Fail of one or both ADCs in the input stage
- Fail of the computing unit calculating CORDIC

Soll über die aktuelle Funktion hinaus die Degradation im Selbsttest getestet werden, sind prinzipiell drei Vorgehensweisen beziehungsweise deren Kombination praktikabel. Wird das zu überwachende System als ‚Black Box‘ aufgefasst, lassen sich erstens entweder alle Eingangsgrößen erfassen und auswerten

**Abb. V.10: Konzepte für die frühzeitige Erkennung von Alterungsausfällen**



Quelle: Olaf Wittler, Fraunhofer-IZM, Berlin

(a priori – Life Cycle Unit) oder zweitens die Ausgangsgrößen (a posteriori – Parametertest). Der dritte Ansatz wird am Fraunhofer-IZM als ‚Konzept der Zustandsindikatoren‘ verfolgt. Dabei werden an ausfallrelevanten Orten gezielt geschwächte Strukturen eingebracht, die vor den funktionalen Elementen versagen. Bei unterschiedlich empfindlichen Zustandsindikatoren ist damit ein Ausfall der funktionalen Elemente prognostizierbar. Grundvoraussetzung für alle Ansätze ist das physikalische Verständnis von Alterungsvorgängen (Ermüdung und Verschleiß) und deren Beschreibung in mathematischen Modellen.

Die Möglichkeiten einer Selbstanalyse reduzieren zwar nicht die dem Fehler zugrunde liegende Degradation eines Bauteiles, sie verringern aber die Konsequenzen und Auswirkungen. Speziell bei sicherheitsrelevanten Bauteilen wird dadurch eine zusätzliche und weitergehende (Funktions-) Sicherheit ermöglicht.

### V.2.7 Erweiterung des Qualitätsbegriffes

Komplexe AVT und Chipset-Zusammenstellungen stellen erhöhte Anforderungen an den Systementwurf. Es werden in immer stärkerem Maße erweiterte Funktionen kombiniert und

simultan realisiert. Dadurch wird auch die Interaktion zwischen Wafer-Technologie und Gehäuse-Techniken stärker.

In Erweiterung des klassischen Qualitätsbegriffes (‚Lebensdauer‘, FIT etc.) kann die Qualität auch dadurch gesteigert werden, dass eine wohldefinierte Funktion sichergestellt werden soll.

Je nach Anwendung werden unterschiedliche Anforderungen notwendig. Am Beispiel eines Automobils soll dies exemplarisch in folgender Abb. V.11 dargestellt werden.

Mit wachsender Komplexität und entsprechend einer Funktionsgruppe steigen die Anforderungen auf eine fehlerfreie Funktion. Über längere Zeiträume kann aus der Felderfahrung eine optimale Fortentwicklung eines solchen Systems unterstützt werden.

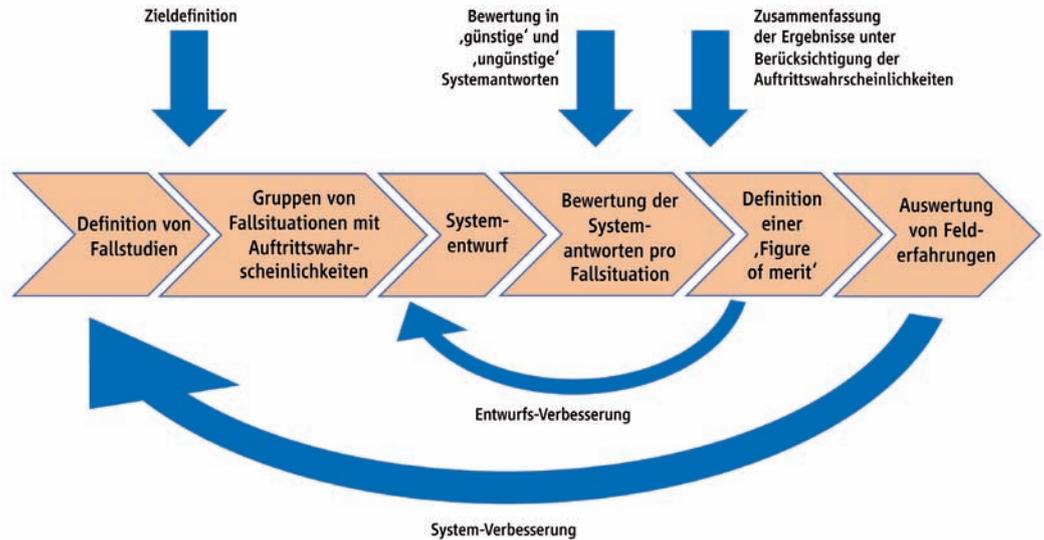
Es wird immer wichtiger, schon im Vorfeld einer Entwicklung möglichst viele Fallsituationen zu definieren. Der Prozentsatz erwünschter beziehungsweise erfolgreicher Reaktionen eines Systems für die definierten Fallsituationen wird der entscheidende Maßstab. Hier kann man heute bei weitem nicht mit ‚Fehlerraten‘ im ppm Bereich rechnen.

**Abb. V.11: Klassifizierung von (Sensor-)Systemen nach Komplexität der Aktion und nach Funktionsgruppen**

Komplexität ▶	Anzeige	Regelschleife, Steuerung, Zweipunktregelungen	Einfluss auf Fahrzeugfunktionen	Autonomes System
Funktionsgruppe ▼				
Überwachung der Fahrzeugfunktion	Tankinhalt Ladekontrolle Drehzahlmessung	Kühlwassertemperatur	Drehzahlbegrenzung	Umschaltung der Motorsteuerung auf Notbetrieb
Komfort	Außentemperatur	Temperaturregelung	Traktionskontrolle Schließanlage (‚Keyless‘)	Klimaanlage
Fahrerentlastung	Navigationssystem Abstandswarner	Rückspiegelabblendung Regensensor für Scheibenwischer	Tempomat	Einparksystem
Sicherheit	Tachometer Eiswarner Reifendrucksensor Abstandswarner	Fahrlichtneigung Niveauregelung	ABS-System Bremsassistentz Intelligent Speed Control	Fahrzeugstabilisierungssystem Airbag (mit Personenklassifizierung) Auffahrschutz
Ökonomie und Umwelt	Benzinverbrauch	Mischungsverhältnis (‚Lambda-Sonde‘)	Klopfsensor	Integrale Motorsteuerung

Quelle: Günter Kowalski, Sensortechnologie zur Verbesserung der Fahrzeugeigenschaften und zur Fahrerunterstützung, Sensorik im Kraftfahrzeug – Prinzipien und Anwendungen, Haus der Technik, Essen, 8. Mai 2006, veröffentlicht in: Haus der Technik, Fachbuch Band 65, expert-Verlag, pp. 1 bis 12

**Abb. V.12: Erweiterter Begriff eines Qualitätszyklus**



Quelle: siehe Abb. V.11

Es sollen damit nicht die großen und wichtigen Anstrengungen herabgewürdigt werden, Einzelkomponenten immer verlässlicher zu machen. Aber der Qualitätsbegriff eines Systems muss erweitert werden. Die Aufwendungen dafür sind enorm, da viel mehr Material in Form von Fallstudien verarbeitet werden muss. Speziell für Sicherheitssysteme, die nur selten zum Einsatz kommen, wird auch auf die Analyse geschehener Fehlfunktionen intensiv zurückgegriffen werden müssen.

Als Hintergrundinformation kann auf das in der ISO 26262 (Road vehicles functional safety) niedergelegte Schema hingewiesen werden. Sehr allgemein aber auch umfassend definiert diese Norm die funktionale Sicherheit als ‚Absence of unreasonable risks due to hazards caused by malfunctioning behavior of a system‘. Diese Norm, die 2011/2012 veröffentlicht wurde, klassifiziert (ähnlich wie bei einer FMEA) mögliche oder auch nur hypothetisch vorausgesagte Fehlersituation nach

- Severity (Auswirkungsfolgen)
- Exposure (Ereigniswahrscheinlichkeit)
- Controlability (Beherrschbarkeit)

Aufgrund dieser Analyse wird der Fehler in eine der 5 Klassen QM, ASIL A bis ASIL D (Automotive Safety Integration Level) eingestuft. Wird für Level B nur eine Selbstkontrolle der Signale auf Plausibilität gefordert, wird jedoch im Level D eine volle Selbstkontrolle erforderlich. Eine gute Übersicht über dieses Qualitätssystem für Automobilanwendungen bietet Chuck Whitney et al., ‚Automotive Requirements for AMR Positioning Measurement Signal Conditioning‘, Proc. of the 12<sup>th</sup> Symposium on Magnetoresistive Sensors and Magnetic Systems, Wetzlar, März 2013, pp. 107 bis 118.

Ebenso sei verwiesen auf das Robustness Validation Handbook SAE J1121. Bemerkenswert ist dort, dass die Tests angelegt werden im Sinne von ‚Test to Fail‘ anstatt dem früher üblichen Standard ‚Test to Pass‘ und dass auch der Qualitätsbegriff angepasst wird an die Anwendung mit ‚Fit for Applikation‘ anstatt dem früher üblichen ‚Fit for Standards‘ (siehe auch dazu Prof. E. Wolfgang, ECPE, ‚OEM Representatives Securing Lifetime by Simulation‘, Proc. of the ECPE Workshop on Lifetime Model-

ling and Simulation, Düsseldorf, 3. bis 4. Juli 2013). Oft werden die applikationsspezifischen Belastungsprofile (Leistung, Temperatur etc. pro Zeiteinheit) durch sogenannte Mission Profiles sehr individuell definiert. Eine Standardisierung solcher Belastungsprofile ist notwendig oder durch theoretische Modelle gegebene Profile werden in Standardprofile umgerechnet. Dies ist aber heute nur beschränkt möglich und für neuartige Technologien unsicher.

Die Qualität wird sich immer weiter auf die Inhalte der Software und der eingesetzten Algorithmen verlagern. Selbstverständlich werden auch weiterhin die Ausfallraten der einzelnen Komponenten reduziert werden müssen, d. h. auch unter ein ppm oder deutlich weniger. Aber die eigentliche Aufgabe ist es, die unerwünschten Aktionen eines Systems zu reduzieren. Dafür sind Situationsanalysen in einem breiten Umfang erforderlich. In solche Analysen gehen Elemente ein, die schon heute als sogenannte FMEA's (Failure Mode Effect Analysis) bekannt sind. Sie reichen jedoch weit darüber hinaus.

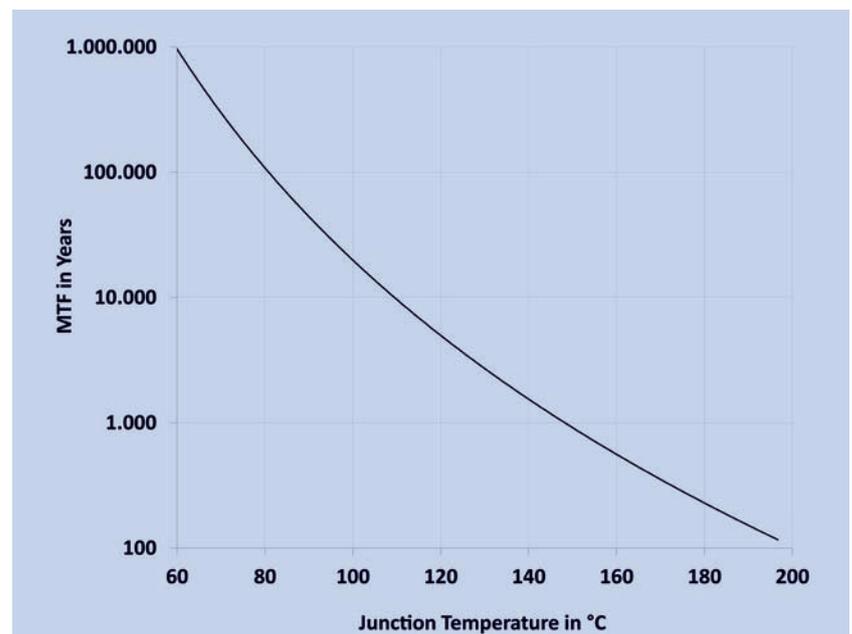
Es kann bei komplexen Bauelementen, die eine Software beinhalten, auch daran gedacht werden, Schnittstellen vorzusehen, die ein Update der Software innerhalb der Lebensdauer ermöglichen, um zwischenzeitlich erkannte Verbesserungsmöglichkeiten auch schon für eingebaute Bauelemente zu realisieren. Dies darf nicht als die Eliminierung eines Fehlers verstanden werden. Es ist daran zu arbeiten, diesen Nachbesserungen das Image eines lernenden Systems zu verleihen, um die Akzeptanz der Verbraucher zu erhöhen. Wenn der Verbraucher ein solches Update als unangenehme ‚Fehler-Nachbesserung‘ versteht, würde sich dies sehr negativ auf die Motivation der Hersteller zu einer kontinuierlichen Systemverbesserung auswirken.

## V.2.8 Lebensdauervorhersagen

Vorhersagen für Ausfallwahrscheinlichkeiten bzw. Lebensdauererwartungen hängen sehr stark von den Belastungen in einer Applikation ab. Deshalb ist ein sehr interessanter Ansatz unter [www.nxp.com/design-portal/mtf.html](http://www.nxp.com/design-portal/mtf.html) zu finden. Dort wird für den Kunden entsprechend der Junction-Temperatur in einer gegebenen Anwendung die zu erwartende Lebensdauer errechnet.

Der dort zur Verfügung gestellte ‚RF Power Lifetime Calculator‘ errechnet den Medianwert MTF (Median-Time-To-Failure), das ist der Zeitpunkt, an dem 50 Prozent der Produktpopulation ausgefallen sein werden. In einem gewählten Beispiel für einen Breitband-Leistungs-LDMOS-Transistor sind dies mit Defaultwerten (z. B. für Spannungen, Ströme etc.) und bei einer Junction Temperatur von 114 °C dann fast 9.000 Jahre.

**Abb. V.13: Zu erwartende MTF in Abhängigkeit von der Junction-Temperatur für einen Breitband-Leistungstransistor BLF 642 mit Standardwerten**



Quelle: Ergebnis des ‚RF Power Lifetime Calculators‘ der Firma NXP Semiconductors Germany

Die Berechnung wird interaktiv durch vorgegebene Grenzen und zusätzliche Plausibilitätschecks unterstützt. Eine solche Vorhersage kann nicht alle Degradationsmechanismen erfassen. Deshalb wurde hier die wichtigste Komponente, in diesem Fall die Elektromigration, als hauptsächlicher Ausfallmechanismus gewählt. Die Angaben helfen dem Anwender, das richtige Produkt auszuwählen und die Anwendung zu optimieren, z. B. durch die bereitgestellte Wärmeabfuhr.

Solche Werkzeuge werden in Zukunft immer mehr an Bedeutung gewinnen, durch weitere Ausfallmechanismen verfeinert werden und vor allem auch (sehr viel kleinere) Ausfallraten nach wesentlich kürzeren Betriebszeiten berechnen können. Dies ist umso wichtiger da die Statistik der Ausfälle nicht monoton ist. Bei einer MTF von 9.000 (d. h. 50 Prozent Ausfälle in 9.000 Jahren) kann deshalb nicht davon ausgegangen werden, dass in einem Zeitintervall von einem Jahr 56 ppm Bauelemente (siehe auch Abb. II.1). Hier besteht die Notwendigkeit, in Zukunft genauere Modelle zu entwickeln und zu verifizieren.

### V.3 Zusammenfassung

Moderne Bauelemente werden immer mehr zu eigenständigen Systemen und bieten aufgrund moderner Technologien und kostengünstiger Massenherstellung enorme Möglichkeiten. Mit stetig komplexeren Systemen wächst aber auch die Anforderung an eine Qualitätssicherung. Es ist nicht mehr nur die einzelne Komponente eines Bauteiles, die eine hohe Verlässlichkeit haben muss, sondern das ganze Bauteil muss als System auf seine Reaktionen getestet werden. Dafür sind die klassischen Lebensdauertests zu erweitern.

Die Gehäusetechnik beinhaltet immer mehr 3D-Technologien und die genaue Abgrenzung zwischen Wafertechnologie und Gehäusetechnologie wird mehr und mehr zu einer Interaktion.

Hinzu kommen steigende Anforderungen an die Zuverlässigkeit des Bauteiles über einen wohldefinierten Zeitraum und einer anwendungsspezifischen Belastung. Insbesondere werden die Zeitspannen so groß, dass eine rein experimentelle Prüfung in einem klassischen Lebensdauertest nicht mehr ausreicht.

Als wichtigste Trends und notwendige Forschungs- und Entwicklungsaufgaben können definiert werden:

- Modellierung einer zu erwartenden Lebensdauer und exemplarische Verifizierung
- Verbesserung von (FEM-) Software und interdisziplinäre Simulationen
- Standardisierung von Materialien und deren sehr genaue Charakterisierung
- Physikalische Tests mit Mehrfachbelastung
- Erweiterte Lebensdauertests auf Wafer Ebene mit Applikation von nicht-elektrischen Parametern
- Analysen zu Ausfallmechanismen und von Feldausfällen (auch Spätausfällen)
- Softwaredesign des Bauelementes im Hinblick auf Selbstanalyse, Selbstkorrektur und Redundanz
- Verlagerung des Schwerpunktes und Änderung der Betrachtungsweise vom Bauelement zur Systemfunktion
- Weitere Verlagerung der Bauteilprüfung auf die Wafer Ebene
- Lebensdauerprognosen und Ausfallwahrscheinlichkeiten, welche die Anforderungen und Betriebsbedingungen der Kunden mit einbeziehen

Neben diesen Notwendigkeiten ist ferner noch von besonderer Bedeutung, in einer 100 Prozent Prüfung sowohl am Bauteil als auch auf Waferenebene Parameter zu ermitteln, die auf eine mögliche Schwäche des Bauteiles hinweisen und/oder einen Frühausfall verursachen könnten. Dafür sind notwendig:

- Messung bzw. Beaufschlagung von nicht-elektrischen Größen
- Messung und Bestimmung von lebensdauerrelevanten Charakteristiken
- Verbesserung der Mustererkennung (AOI) bei bildgebenden Verfahren (optische Kameras, IR-Kameras, Röntgenanalysen usw.) mit schnellen Algorithmen für eine 100 Prozent-Prüfung
- Analyse von dynamischen Kurvenverläufen (z. B. Strom-Spannungskurven) in Erweiterung der Prüfung nur einzelner Kurvenpunkte durch schnelle Algorithmen für eine 100 Prozent-Prüfung

Kann bei einem Ausfall eines Produktes eine Gefährdung von Personen auftreten, so ist höchste Qualität selbstverständlich.

Als nicht zu vernachlässigende Randbedingung muss zudem die ökonomische Komponente berücksichtigt werden. Eine Produktion mit hoher Qualität zu realisieren, wird im Allgemeinen letztlich auch von ökonomischem Nutzen sein, wenn integral alle Folgekosten einer Fehlfunktion berücksichtigt werden. Allein durch die Unzufriedenheit eines Anwenders oder eines Kunden kann schon ein signifikanter wirtschaftlicher Schaden entstehen.

Deshalb sollten sorgfältige Analysen auch über Folgeschäden die Akzeptanz hoher Qualitätsstandards verbessern.

# VI. Literaturverzeichnis

## VI.1 Kapitel I

- [I.1] Nefiodow, L. A.: ‚Der sechste Kondratieff: Wege zur Produktivität und Vollbeschäftigung im Zeitalter der Information‘, Rhein-Sieg-Verlag, Sankt Augustin, 5. Auflage, 2001, ISBN 3-9805144-4-7.
- [I.2] Detert, M.: ‚Systemintegration in der Elektronik durch die Nutzung flexibler Verdrahtungsträger‘, Band 16 von System Integration in Electronic Packaging, Verlag Detert, Templin, ISBN 978-3-934142-45-9.
- [I.3] Pfeiffer, W., Weiß, E.: ‚Technologieorientierte Wettbewerbsstrategien‘, Handbuch Produktionsmanagement, Gabler Verlag, 1994, ISBN 978-3-322-87136-7
- [I.4] Zerna, T.: ‚Aufbau- und Verbindungstechnik für Elektronik-Baugruppen der Höchstintegration‘, Band 4 von System Integration in Electronic Packaging, Verlag Detert, Templin, 1. Auflage, 2008, ISBN 978-3934142-29-9
- [I.5] Wiese, S.: ‚Verformung und Schädigung von Werkstoffen der Aufbau- und Verbindungstechnik‘, ISBN 978-3-642-05462-4
- [I.6] ‚Mikroelektronik – Trendanalyse bis 2017‘ – Vorstellung langfristiger Trends 2007 – 2012 – 2017, Herausgeber: ZVEI, München, 23. April 2013

## VI.2 Kapitel II

- [II.1] ‚AVT-Expertentreffen Stressarme MST Packages: Testverfahren & Simulationsmethoden sowie AVT-Roadmap‘, ZVEI, Frankfurt am Main 3 bis 4. Dezember 2012
- [II.2] ‚Packaging von Mikrosystemen – PackMEMS‘, 3. Workshop der VDE/VDI-Gesellschaft Mikroelektronik, Mikrosystem- und Feinwerktechnik (GMM) zum Packaging von Mikrosystemen, Stuttgart, 2. Oktober 2012
- [II.3] ‚Sensor-Trends 2014, Trends in zukunftsorientierten Sensortechnologien‘, Herausgeber: AMA Verband für Sensorik und Messtechnik e. V., Berlin, November 2009
- [II.4] ‚Lifetime Modelling and Simulation‘, ECPE-Workshop, Düsseldorf, 3 bis 4. Juli 2013
- [II.5] Diverse Reviews von ITRS aus 2011 und 2012, <http://www.itrs.net/Links/2012ITRS/Home2012.htm>
- [II.6] World Semiconductors Trade Statistics ([www.WSTS.org](http://www.WSTS.org)) und Zentralverband Elektrotechnik- und Elektronikindustrie ([www.ZVEI.org](http://www.ZVEI.org)): Marktdaten
- [II.7] Brandtner, T., Infineon Technologies Austria: ‚Efficient Collaboration Platform for Chip/Package/Board Co-Design in Distributed Design Team‘, 3. GMM Workshop ‚Packaging von Mikrosystemen – PackMEMS‘, Stuttgart, 2. Oktober 2012
- [II.8] ‚Test Data for Die Attach Lifetime Simulation‘, Kraft, S., Hutzler, A., Schletz, A., ECPE Workshop ‚Lifetime Modelling and Simulation‘, Düsseldorf, 3 bis 4. Juli 2013
- [II.9] Wilde, J., IMTEK – Institut für Mikrosystemtechnik, Aufbau- und Verbindungstechnik: BMWi-Projekt AIF 13513 N/1, Zwischenbericht 2004,
- [II.10] Wachutka, G., Technical University Munich: ‚Predictive Computer Simulations of Cosmic-Ray-Induced Failure of High Power Semiconductor Devices‘, ECPE Workshop on Lifetime Modelling and Simulation, Düsseldorf, 2013
- [II.11] ‚Volumeneffekte und technische Zuverlässigkeit von bleifreien Lötstellen‘ – BMWi Projekt AIF 132 ZN
- [II.12] Wilde, J., Pustan, D.: ‚Materialmodellierung für die Simulation von stressarmen Klebe- und Moldprozessen‘, ZVEI-Workshop ‚Stressarme MST Packages – Materialien‘, Frankfurt am Main, 5. November 2009

### VI.3 Kapitel III

- [III.1] Wilde, J., Schneider-Ramelow, M., Petzold, M., Scheel, W.: ‚Methoden zur Zuverlässigkeitsqualifizierung neuer Technologien in der Aufbau- und Verbindungstechnik – Herausforderungen und Möglichkeiten‘, Aufbau- und Verbindungstechnik in der Elektronik, Volume 3, Verlag Dr. Markus A. Detert, Berlin, ISBN: 3-934142-53-2, pp. 94 bis 134
- [III.2] Wilde, J., IMTEK – Institut für Mikrosystemtechnik, Aufbau- und Verbindungstechnik: ‚Embedding-Workshop‘
- [III.3] Braun, T., Becker, K.-F., Voges, S., Thomas, T., Kahle, R., Bauer, J., Aschenbrenner, R., Lang, K.-D., Fraunhofer-IZM: ‚From wafer level to panel level mold embedding‘, Proc. of ECTC 2013, Las Vegas, USA

### VI.4 Kapitel IV

- [IV.1] Kostelnik, J., Würth Elektronik: ‚Die funktionelle Integration von aktiven und passiven Komponenten in die Leiterplatte im industriellen Umfeld‘, in Tagungsband ‚Systemintegration in der Mikroelektronik: Embedding-Technologien und ihre Wertschöpfungskette bei elektronischen Baugruppen‘, Nürnberg, 8 bis 10. Juni 2010, SMT Hybrid Packaging, Herausgeber: Herbert Reichl, VDE Verlag GmbH, Berlin, Offenbach.
- [IV.2] Heilmann, N.: ‚Neue Bestück- und Reflowtechnologie: Innovatives Löten mit Nanotechnologie für Bauteile und Leiterplatten mit speziellen Anforderungen‘, in Tagungsband: ‚Elektronikproduktion – Aktuelle Entwicklungen zu Produktionsprozessen der Leistungselektronik‘, FAPS-TT Technologietransfer Erlangen-Nürnberg, Nürnberg, 22. November 2012.
- [IV.3] ChipFilm Technologie, Institut für Mikroelektronik Stuttgart IMS CHIPS
- [IV.4] Fan, A., Rahman A. and Reif, R.: ‚Copper Wafer Bonding, Electrochem. Solid-State Lett‘, 1999, Volume 2, Issue 10, pp. 534 bis 536
- [IV.5] Reif, R., Tan, C.S., Fan, A., Chen, K.N., Das, S. and Checka, N.: 3-D Interconnects Using Cu Wafer Bonding: ‚Technology and Applications‘ Advanced Metallization Conference, San Diego, 1 bis 3. Oktober 2002
- [IV.6] Tang, Y.S., Chang, Y.J., Chen, K.N.: ‚Wafer-level Cu-Cu bonding technology‘, Microelectronics Reliability, Volume 52, Issue 2, Februar 2012, pp. 312 bis 320
- [IV.7] Lim, S. P-S. and all: ‚Process Development and Reliability of Microbumps‘, IEEE-CPMT Volume 33, Issue 4, pp. 747 bis 753, Dezember 2010
- [IV.8] Harendt, C. and Burghartz, J.N.: ‚Ultrathin Silicon Chips for Flexible Systems‘, 8<sup>th</sup> Plastic Electronics Conference 2012, Dresden, 11. Oktober 2012
- [IV.9] Matsuoka, S.I. and Imai, H.: ‚Direct welding of different metals used ultrasonic vibration Journal of Materials Processing Technology‘, Volume 209, 2009, pp. 954 bis 960
- [IV.10] Sun, F., Leblebici, Y. and Brunswiler, T.: ‚Surface-tension-driven multi-chip self-alignment techniques for heterogeneous 3D integration‘, IEEE Proc of Electronic Components and Technology Conference, Lake Buena Vista, Juni 2011, pp. 1153 bis 1159
- [IV.11] Okoro, C., Agarwal, R., Limaye, P., Vandavelde, B., Vandepitte, D. and Beyne E.: ‚Insertion Bonding: A Novel Cu-Cu Bonding Approach for 3D Integration‘, IEEE-CPMT Volume 1, Issue 12, Dezember 2011, pp. 1885 bis 1893
- [IV.12] Fender, M., Marion, F., Damien, S.P., Mandrillon, V., Berger, F. and Ribot, H.: ‚Technological and Electrical Performances of Ultrafine-Pitch Flip-Chip Assembly Based on Room-Temperature Vertical Interconnection‘, IEEE-CPMT Volume 1, Issue 3, März 2011, pp. 291 bis 298

- [IV.13] Härter, S., Dohle, R., Reinhardt, A., Goßler, J., Franke, J.: 'Reliability Study of Lead-Free Flip-Chips with Solder Bumps Down to 30 µm Diameter', in Proceedings of the 62<sup>nd</sup> Electronic Components and Technology Conference (ECTC), 2012, S. 583 bis 589
- [IV.14] Franke, J., Dohle, R., Schüßler, F., Oppert, T., Friedrich, T., Härter, S.: 'Processing and Reliability Analysis of Flip-Chips with Solder Bumps Down to 30 µm Diameter', Proceedings of the 61<sup>st</sup> Electronic Components and Technology Conference (ECTC), 2011, S. 893 bis 900
- [IV.15] 'Produktionstechnik für eine Aufbau- und Verbindungstechnik für die Nanoelektronik', Herausgeber: ZVEI, August 2005.

## **VI.5 Kapitel V**

- [V.1] Ostmann, A. (Fraunhofer-IZM): 'Elektronik ohne Lötten – Sintern, Embedding, Drahtlos'
- [V.2] Kripfgans, J., Schneider-Ramelow, M., Schmitz, S., Müller, W.H.: 'Einfluss der Drahtgeometrie auf die plastischen Dehnungen im Heel-Bereich von AlSi1-Standard-Drahtbondverbindungen', PLUS Dezember 2012, pp. 2717 bis 2727
- [V.3] BMBF-Projekt: 'Dianasens' FKZ 16SV5366, Fraunhofer-IZM Berlin
- [V.4] BMWi-Projekt AiF 13.138 B: 'Untersuchungen zur Unterfüllung von Bauteilen mit flächig verteilten Lötanschlüssen in der Oberflächenmontagetechnik'
- [V.5] BMWi-Projekt AiF 132 ZN: 'Volumeneffekte und technische Zuverlässigkeit von bleifreien Lötstellen'
- [V.6] Abschlussbericht zum Verbundvorhaben: 'Entwicklung eines integrierten Stressmesssystems zur Quantifizierung der 3D-Verformung von Sensorbauelementen in Abhängigkeit des Verpackungsprozesses', VDE/VDI-Reihe Innovation in der Mikrosystemtechnik, BMBF Bibliothek Bonn, 2009
- [V.7] 'Technologieroadmap 2020 – Elektronische Komponenten und Systeme', Herausgeber: ZVEI, September 2009
- [V.8] Schreier-Alt, T., Ansorge, F., Fraunhofer-IZM Oberpfaffenhofen: 'Stressmessung auf Chip-Ebene – ein Fahrtenschreiber für die Elektronikverarbeitung', PLUS Juni 2013, pp. 1295 bis 1304
- [V.9] Dietmayer, M., Weser, S., Pusch: 'Integrated Angular Measurement System with Online Diagnosis', Eurosensor 2000
- [V.10] Philips Presentation KMA200: 'Novel self-monitoring Magnetoresistive Sensor System for Automotive Angular Measurement Applications', SAE world congress, Detroit, März 2002
- [V.11] 'Road vehicles functional safety', ISO 26262, 2011
- [V.12] Kowalski, G.: 'Sensortechnologie zur Verbesserung der Fahrzeugeigenschaften und zur Fahrerunterstützung, Sensorik im Kraftfahrzeug – Prinzipien und Anwendungen', Haus der Technik, Essen, 8. Mai 2006, Herausgeber: Haus der Technik, Fachbuch Band 65, expert-Verlag, pp. 1 bis 12
- [V.13] Chuck Whitney et al.: 'Automotive Requirements for AMR Positioning Measurement Signal Conditioning', Proc. of the 12<sup>th</sup> Symposium on Magnetoresistive Sensors and Magnetic Systems, Wetzlar, März 2013, pp. 107 bis 118
- [V.14] Wolfgang, E., ECPE: 'OEM Representatives Securing Lifetime by Simulation', Proc. of the ECPE Workshop on Lifetime Modelling and Simulation, 3 bis 4. Juli 2013, Düsseldorf
- [V.15] [www.nxp.com/design-portal/mtf.html](http://www.nxp.com/design-portal/mtf.html), Homepage der Firma NXP Semiconductors Germany

## VII. Glossar

### Kurzzeichen Erklärung

1K-Spritzguss	1-Komponenten-Spritzguss
2K-Spritzguss	2-Komponenten-Spritzguss
3D	Dreidimensional
ACA	Anisotropic Adhesive
ADC	Analog to Digital Converter
AEC	Automotive Electronics Council
AOI	Automatic Optical Inspection
APD	Avalanche-Photodiode
ASIL	Automotive Safety Integration Level
AVT	Aufbau- und Verbindungstechnik
BGA	Ball Grid Array
BIST	Built-in Self Test
BMBF	Bundesministerium für Bildung und Forschung
BMC	Bulk Molding Compound: kurzfasriger glasfaserverstärkter Kunststoff, geeignet für Spritzgussverfahren
BMWi	Bundesministerium für Wirtschaft und Technologie
CAD/CAM	Computer Aided Design/Computer Aided Manufacturing
CAx	Computer-Aided
CFK	Carbon-faserverstärkter Kunststoff
CMOS	Complementary Metal Oxide Semiconductor: Bauelement, das sowohl p- als auch n-Kanal MOSFET enthält
CoB	Chip on Board
Co-Design	Designumgebung, die das gemeinsame Design von Chip und Package ermöglicht und eine Optimierung von I/O Positionen auf dem Chip und dem Packaging unterstützt (z. B. Chip/Package-, Chip/Package/Board Co-Design)
CORDIC	Coordinate Rotation Digital Computer (schnelle trigonometrische Umrechnungsmethode)
CSAM-CT	Computertomographie mit einem Scannenden Akustischen Mikroskop
CTE	Coefficient of Thermal Expansion
CVD	Chemical Vapor Deposition, Chemische Abscheidung aus der Gasphase
DAB	Diaminobenzidine
DCB	Direct-Bonded Copper
DfT	Design for Testability
DIL	Dual-in-Line
DIP	Dual-in-Line-Package
DPAK	Discrete Packaging

EBSD	Electron Backscatter Diffraction
ECPE	European Center for Power Electronics e. V.
EDA	Electronic Design Automation: rechnergestützte Werkzeuge für den Entwurf mikroelektronischer Systeme
EMI	Electro-Magnetic Interference
EMV	Elektro-Magnetische Verträglichkeit
eWLB	Embedded Wafer Level Ball Grid Array
FDA	Food and Drug Administration, Lebensmittelüberwachungs- und Arzneimittelzulassungsbehörde der USA
FEM	Finite Element Method
FIT	Failure in Time Interval
FMEA	Failure Mode Effect Analysis
FR4	Glasfasergewebe mit Epoxidharz verstärkt
GaN	Galliumnitrid
GFK	Glasfaserverstärkter Kunststoff
GPU	Graphics processing unit
H <sup>3</sup> T	High Temperature/High Humidity Test
H <sup>3</sup> TRB	High Temperature/High Humidity Test with Reversed Bias
HALT	Highly Accelerated Life Test
HAST	Highly Accelerated Storage Test
I/O	Input/Output
IC	Integrierter Schaltkreis (Integrated Circuit)
ICA	Isotropic Conductive Adhesive
IGBT	Insulated-gate Bipolar Transistor
IMUT	Inertial Measurement Unit
iNEMI	International Electronics Manufacturing Initiative
IPC	Association Connecting Electronics Industries
ISIT	Fraunhofer-Institut für Siliziumtechnologie ISIT
ISO	International Organization for Standardization
ITRS	International Technology Roadmap for Semiconductors
IZM	Fraunhofer-Institut für Zuverlässigkeit und Mikrointegration IZM
JEDEC	Joint Electron Device Engineering Council (Solid State Technology Association)
KGD	Known Good Dies
LCP	Liquid Crystal Polymer
LDMOS	Laterally Diffused Metal Oxide Transistors
LDS	Laser-Direkt-Strukturierung
LE	Leistungselektronik

LED	Light Emitting Diode
LFBGA	Low-profile Fine-pitch Ball Grid Array
LGA	Land Grid Array
LTCC	Low Temperature Cofired Ceramics
MANCEF	Micro and Nanotechnology Commercialization Education Foundation
MEMS	Micro Electro Mechanical System: Miniaturisierte Systeme, die elektronische und mechanische Funktionen aufweisen. Heute Synonym für Bauelemente der Mikrosystemtechnik
MFB	Multi-functional Board
MFP	Multi-functional Package
MID	Molded Interconnect Device
Mission Profile	Belastungen und Beanspruchungen, die während des Einsatzes auf das Bauteil wirken
MM	More Moore: Erhöhung der Komplexität und Anzahl der Bauelemente (Transistoren) bei integrierten (insbesondere digitalen) Schaltkreise gemäß dem Moore'schen Gesetz Moore'sches Gesetz von Gordon Moore 1965 gefundene Gesetzmäßigkeit, dass sich die Komplexität von integrierten Schaltkreisen regelmäßig (alle 12-24 Monate) verdoppelt
MPU	Microprocessor unit
MST	Mikrosystemtechnik
MTF	Median Time to Failure
MtM	More than Moore: über rein digitale Anwendungen hinausgehende funktionale Diversifizierung elektronischer Bauelemente (analoge Domäne). Beispiele sind Analog- und RF-Schaltkreise, Hochvolt- und Leistungselektronik, passive Bauelemente, Sensoren/Aktoren, Optoelektronische Bauelemente, MEMS und Biochips
OLED	Organic Light Emitting Diode
PA	Polyamide
PCB	Printed Circuit Board
PECVD, CVD	Plasma Enhanced Chemical Vapor Deposition, Plasmaunterstützte Chemische Abscheidung aus der Gasphase
PEEK	Polyetheretherketone
PGA	Pin Grid Array
PiP	Package in Package
PoP	Package on Package
ppb	parts per billion
ppm	parts per million
PPS	Polyphenylensulfid
PVD	Physikalische Abscheidung aus der Gasphase (Sputtern, Bedampfen)
QFN	Quad Flat No Leads Package
QFP	Quad Flat Pack

RCP	Redistributed Chip Package
RF	Radio Frequency: miniaturisierte Bauelemente wie z. B. Luftpulen, Schwingkreise, Filter, die im Mittel- bis Hochfrequenzbereich eingesetzt werden
RFID	Radio-Frequency Identification
Röntgen-CT	Röntgen Computer-Tomographie: bildgebendes Verfahren, bei dem aus Röntgenaufnahmen aus verschiedenen Richtungen im Rechner Schnittbildern erzeugt werden
RoHS	EU-Richtlinie 2002/95/EG (RoHS 1) zur Beschränkung der Verwendung bestimmter gefährlicher Stoffe in Elektro- und Elektronikgeräten
SAE	Society of Automotive Engineers
SiC	System in Chip
SiP	System in Package: System, das im Gehäuse oder einer Package-Plattform aus mehreren Chips aufgebaut ist (Beispiel: Chip-Stack)
SLID	Solid Liquid Interdiffusion
SMD	Surface Mounted Device
SMT	Surface Mounted Technology
SoC	System on Chip: vollständig integriertes mikroelektronisches System auf einem Chip (monolithische Integration)
SoJ	J-Leaded Small-Outline Package
SoP	Small-Outline-Package
SP	Single-in-Line-Package
TCAD	Technology Computer-Aided Design
TCP	Tape Carrier Packages
TMV	Through Mold Vias
TO	Transistor Single Outline
TSV	Through Silicon Via
UBM	Under Bump Metallization: Metallisierung zwischen Lötbumpe und Al-Pad auf dem Chip, ermöglicht z.B. Mikrolöten auf dem Pad (z. B. für Flip-Chip)
US	Ultraschall
WLP	Wafer Level Packaging
WSTS	World Semiconductors Trade Statistics





ZVEI - Zentralverband Elektrotechnik-  
und Elektronikindustrie e.V.  
Lyoner Straße 9  
60528 Frankfurt am Main  
Telefon: +49 69 6302-0  
Fax: +49 69 6302-317  
E-Mail: [zvei@zvei.org](mailto:zvei@zvei.org)  
[www.zvei.org](http://www.zvei.org)

