



ZVEI Tagung

Initiative „Design Chain“

Datum:

26.03.2019

Veranstaltungsort:

Weidmüller Interface GmbH & Co. KG
CTC
Klingenbergstrasse 26 (Anfahrt über 16)
32758 Detmold

Programm:

Ab 10.30 Uhr	Empfang
11.00 Uhr	Möglichkeit zu einem Firmenrundgang bei Weidmüller
12.00 Uhr	Imbiss
13.00 – 13.30 Uhr	Begrüßung, Vorstellung Gastgeber Jörg Scheer, Leiter der Division Device & Field Connectivity Dr. Sascha Nolte, Leiter des Smart Connectivity Competence Center
13.30 – 13.45 Uhr	Vorstellung der ZVEI Initiative „Design Chain“ Markus Biener, Zollner Elektronik AG
13.45 – 14.00 Uhr	Vorstellung des Projektes „LP 2010“ Arnold Wiemers, Leiterplattenakademie
14.00 – 14.40 Uhr	Anforderungen an die Leiterplattenproduktion hochlagiger Highspeed-Boards Arnold Wiemers, Leiterplattenakademie
14.40 – 15.00 Uhr	Kreative Kommunikationspause
15.00 – 15.45 Uhr	Signalintegrität und Eigenstörsicherheit elektronischer Baugruppen Ralf Brüning, Zuken EMC Technology Center
15.45 – 16.20 Uhr	DfX - Design for Excellence Markus Biener, Zollner Elektronik AG
ab 16.20	lösungsorientierte Dokumentation von Baugruppen offene Diskussion mit den Referenten
Ende 17.00 bis 18.00 Uhr	

Abstracts der Vorträge

DfX – Design for excellence

Design for Excellence wird eingesetzt um bereits in der Entwicklungsphase die Produktionsbelange zu berücksichtigen. Dies optimiert Produktqualität, Realisierungszeit und die Produktionskosten. Im Vortrag werden die Einzelthemen, DfM (Design for Manufacturing), DfT (Design for Test), DfA (Design for Assembly) und DfL Design for Logistics beleuchtet. Es wird aufgezeigt was sich hinter den einzelnen Bezeichnungen verbirgt und welche Vorteile sich für die Kunden ergeben, wenn bereits vor erster Belieferung diesen Themen bewertet bzw. umgesetzt werden.

„Signal-Integrität und Eigenstörbarkeit elektronischer Baugruppen“.

Selbst in Schaltungen mit eher niedrigeren Taktfrequenzen kommt es bedingt durch schnelle Schaltflanken moderner Logikbausteine zu sogenannten High-Speed Effekten wie Signal-Verzerrungen, Reflektionen der Signalpegel oder Übersprechen zwischen Signal-Leitungen. Unter Signalintegrität (Signal Integrity) versteht man die Qualität des zu übertragenden digitalen Signals vom Treiber (Sender) zur Last (Empfänger). Bei High-Speed Applikationen, wie zum Beispiel schnell schaltende Speicher (Double Data Rate bis zur vierten Generation DDR4), können die parasitären Effekte der Kupferverbindungsleitungen auf der Leiterplatte nicht mehr vernachlässigt werden, wie es bei niedrigen Frequenzen möglich war. Auch kommt dem Begriff der Impedanz (quasi der Ersatzwiderstand einer Leitung) eine große Bedeutung zu. Um die Signalqualität von schnellen Signalen vorherzusagen, können im Entwurfsprozess Simulations-Werkzeuge eingesetzt werden. Bei einer tiefen Integration derartiger EDA-Werkzeuge wie sie im Zukunfts-PCB-Designprozess mit CR-8000 realisiert sind, werden Kenngrößen wie die Impedanzen der Leiterbahnen abhängig von deren Geometrie automatisch durch einen Field-Solver ermittelt und geht in den Simulations-Prozess ein. So lassen sich präzise die Einflüsse der Leiterbahn auf den Signalverlauf und auf die EMV (Eigenstörung der Leiterplatte) vorhersagen.“

Anforderungen an die Dokumentation und die Toleranzen für eine Highspeed-Baugruppe

Die Funktion elektronischer Geräte erfordert zunehmend die Berücksichtigung physikalischer Eigenschaften. Ein Klassiker ist die konsequente Umsetzung der Übertragungseigenschaften in den Signalleiterbahnen durch die Beachtung der Impedanzen und der Rückströme. Die Leiterplattentechnologie kann erfolgreiche und effektive Lösungen bieten. Das setzt aber eine intensive Kommunikation zwischen dem CAD-Design und der Leiterplattenfertigung voraus. Damit das funktioniert, ist eine effektivere und verbindlichere Dokumentation der eingesetzten Basismaterialien notwendig. Das geht nur mit einer aussagefähigen Beschreibung des Lageraufbaus der Leiterplatte.