

AK Design Chain für Elektronik Systeme



Idee, Konzept

**Produkt-
Entwicklung**

**Leiterplatten-
herstellung**

**Baugruppen-
produktion**

**Life Cycle
Management**

Markus Biener
Zollner Elektronik AG

Michael Sturm
Weidmüller Interface GmbH & Co. KG

Arnold Wiemers
ILFA GmbH
LeiterplattenAkademie GmbH

14.11.2018 electronica 2018 München

Zukunft autonomes Fahren : Elementare Designregeln als Schlüssel des Erfolgs

Autonome Mobilität ?

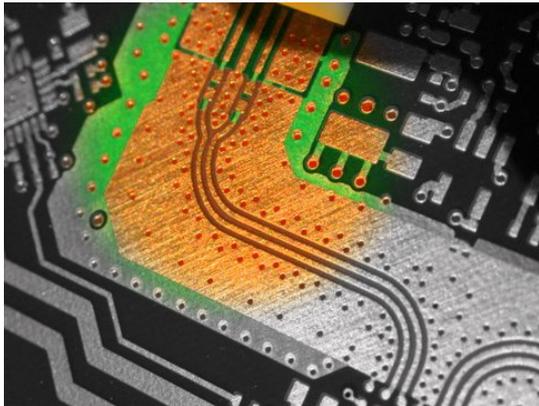
Udenkbar ohne Elektronische Baugruppen !

Der AK Design des ZVEI informiert Sie über seine Regelwerke für das CAD-Design, die Leiterplattenfertigung und die Baugruppenproduktion.

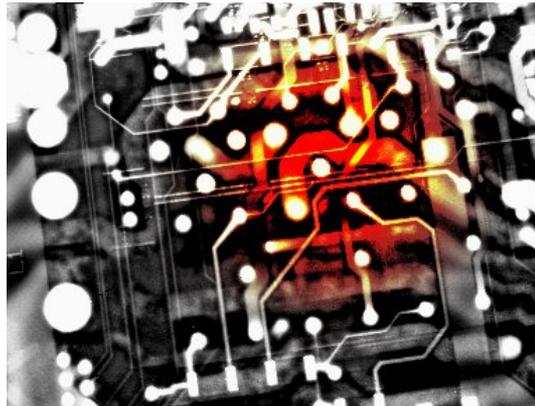
The poster features the ZVEI logo at the top right. The main title is 'Design Chain für Elektronik-Systeme' with the subtitle 'Wissenspool für den Ablauf in der elektronischen Produktentwicklung'. The central graphic is a blue board filled with various terms: ODM, EMS, Compliance, INNOVATION, SMT/THT?, Success, PRODUCT, SIMULATION, DFM, DFT, Time, Cost, Trace, Plan, Design, PLM, EDA System, Konzept, Vision, Validation, Components, TEST, and a Euro symbol. A silhouette of a person in a suit stands with their back to the viewer, looking at the board. At the bottom right, it lists 'Fachverbände Electronic Components and Systems PCB and Electronic Systems'.

Eine elementare Voraussetzung für das autonome Fahren ist die zuverlässige Kommunikation zwischen Systemen. Das setzt den superschnellen Austausch großer Datenvolumina voraus.

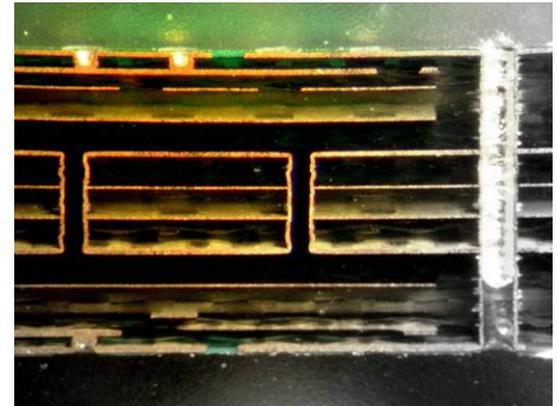
Um handeln zu können, muß die Elektronik eines autonomen Fahrzeuges optische, akustische, thermische, physikalische und chemische Szenarien im Nah- und Fernbereich vollständig und irritationsfrei erfassen und analysieren.



Differential Microstrip



Entwärmung



Via-Strategie

Zukunft Autonomes Fahren

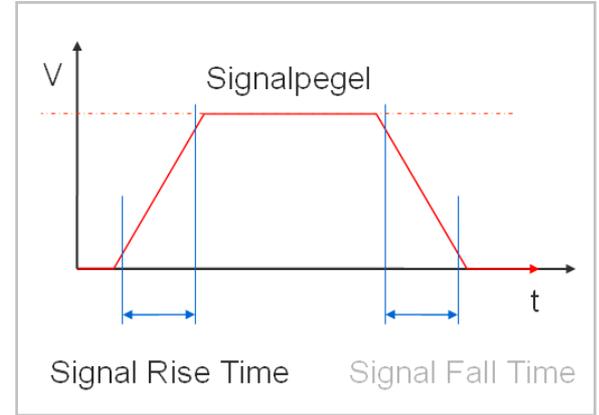
EMV, Signal- und Powerintegrität dominieren die Highspeed- und Highpower-Baugruppen für das autonome Fahren. Der Umbruch in der Leiterplatten- und Baugruppenteknologie wird schnell kommen.

Technologischer Erfolg setzt voraus, die Gesetze der Physik zu respektieren - und klug zu nutzen.

Die Bedeutung der Elektronik in unserer Welt verleitet Designregeln eine wirtschaftspolitische Komponente.

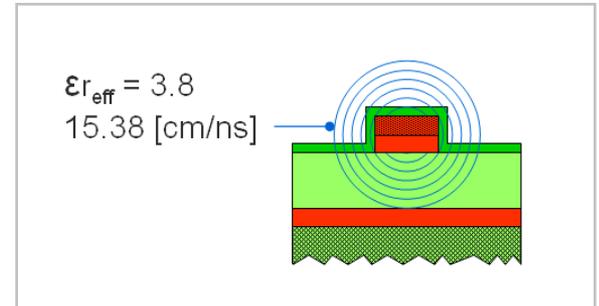
Wir dürfen uns nicht an Designregeln orientieren, die uns nur mit Zeitverzögerung zugänglich sind.

Wir müssen selbst handeln.



Signalanstiegszeit
Signalgeschwindigkeit

Grafik
Arnold Wiemers

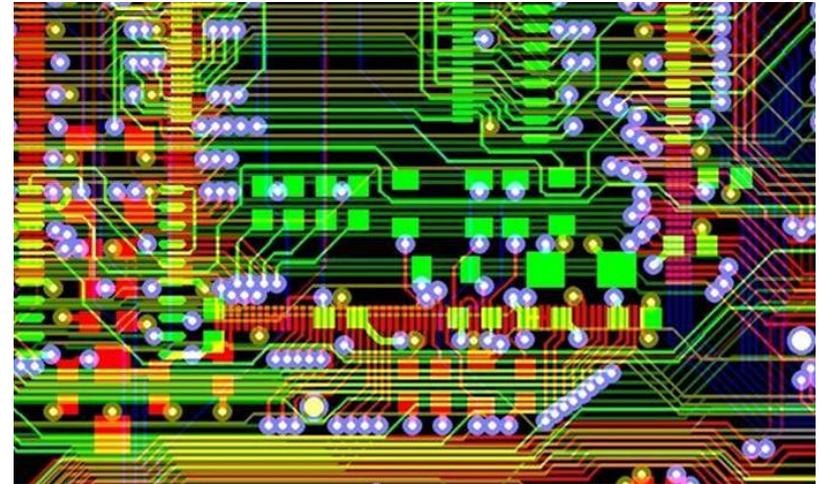


CAD-Design

Kompakte Geometrien mit 100µm-Vias und -Leiterbahnen für ein Highspeed-Design.

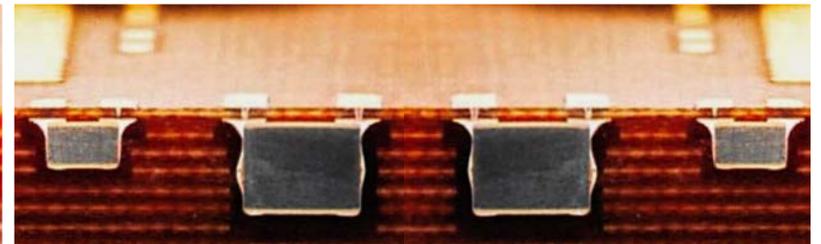
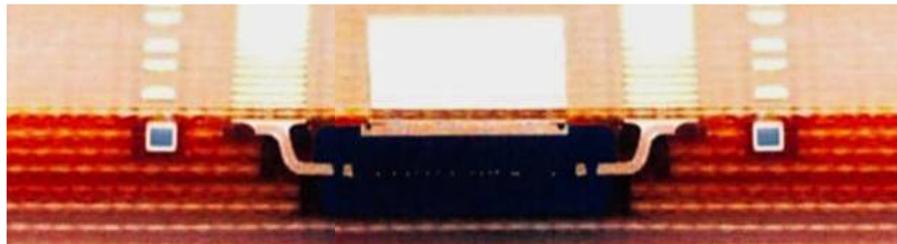
Leiterplattentechnologie

Superspeed-Transfer : Eingebettete elektronische Bauteile in einem Multilayer.



CAD-Layout

Embedded Components innerhalb eines FR4-Multilayers

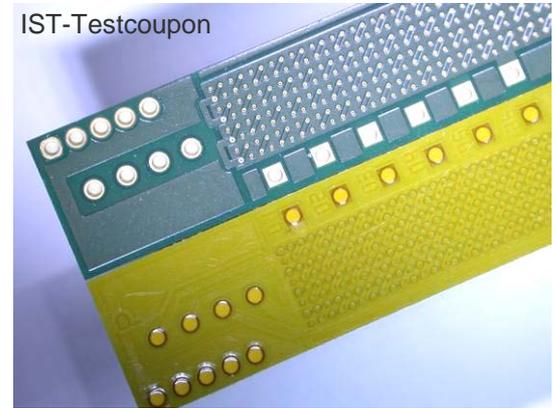


Baugruppenproduktion

Bestückung der elektromechanischen Komponenten und Montage des Gerätes.

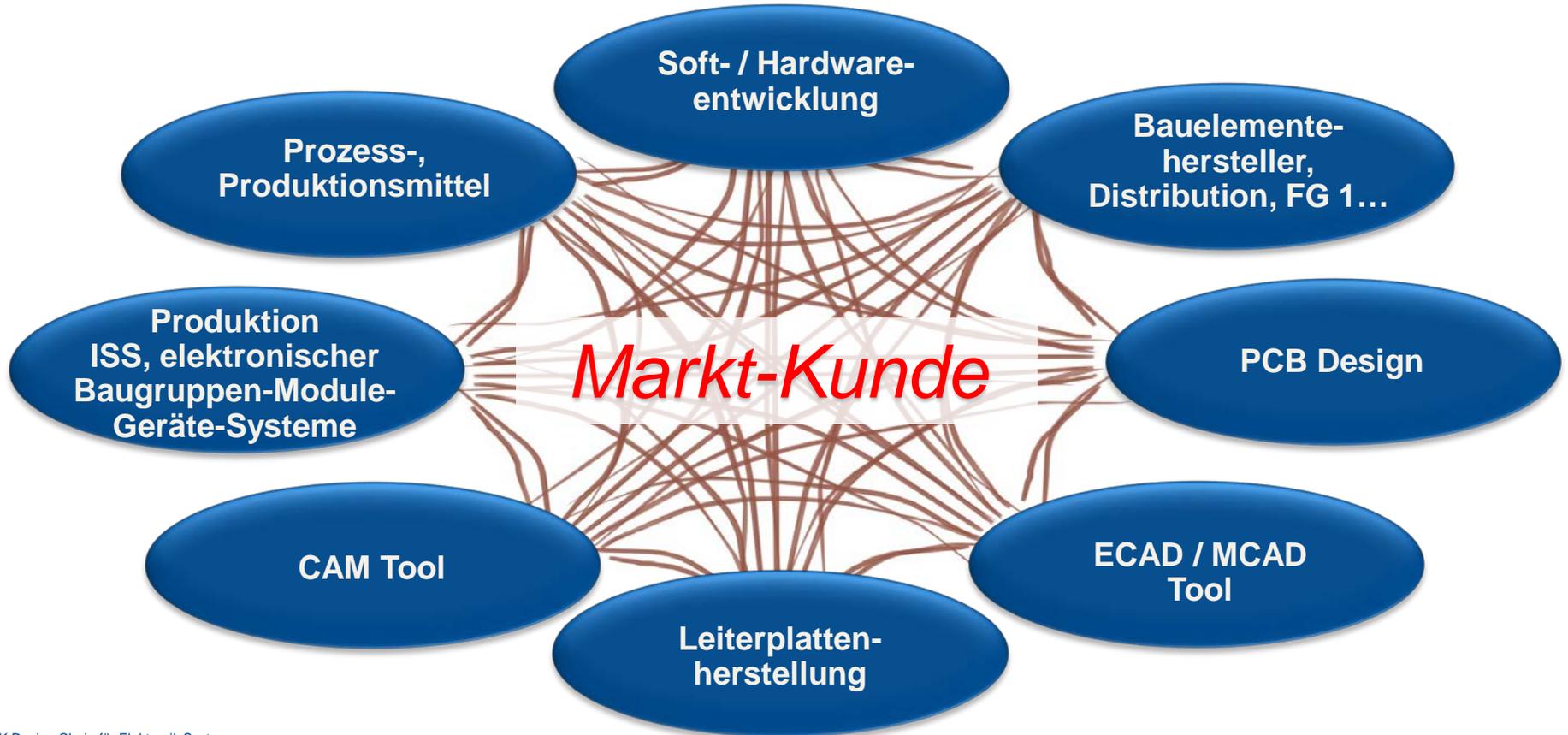
Test

Prüfung der Funktion von Leiterplatten, Komponenten und Baugruppen.



Markus Biener

Vorstellung des AK Design im ZVEI



Der Einfluss der einzelnen Disziplinen Schaltungsentwicklung, PCB Design, Leiterplattenherstellung und Produktion elektronischer Baugruppen **auf ein Endprodukt** ist in den letzten Jahren massiv angestiegen.

Das **Spektrum der Anforderungen**, aber auch die **Leistungsfähigkeit dieser Fachbereiche** wachsen in immer kürzeren Zeitabständen.

Es ist also notwendig, ein Netzwerk einzurichten, das sich mit der Problemstellung und einer **ganzheitlichen Betrachtung der kompletten Prozesskette** befasst.

Denn nur so kann ein hoher Innovationsgrad erreicht werden.

- Gemeinsames Verständnis für das Machbare und das Notwendige aller beteiligten Gruppen in einem Netzwerk (vom Marketing bis zur fertigen Baugruppe) schaffen
- Erarbeitung von Design Guidelines
- Möglichkeiten zur einfachen und flächendeckenden Verbreitung des Wissens
- Ausbildung der PCB Designer
- Schaffung einer nachhaltigen Netzwerkstruktur für ein „optimales Produkt“

Was bisher geschah...

Identifizierung der gesamten Prozesskette und der einzelnen Kettenglieder sowie deren Nahtstellen und Vernetzungen

Produktidee, Spezifikation,
Konzepterstellung,

Vorgaben,
Bauteilauswahl,
Materialmanagement

Stromlaufplan,
Simulation,
Regelvergabe

Elektronik-Design
(ECAD – MCAD)

Von der Idee zum Produkt

LP Herstellung

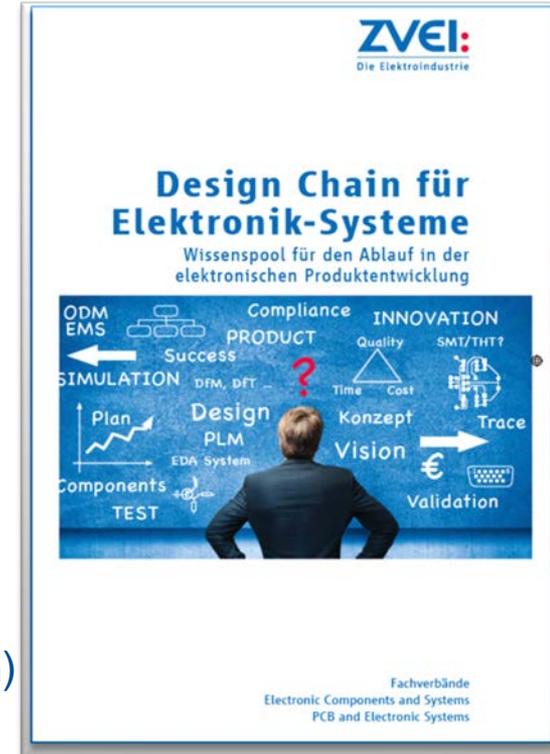
Betriebsmittel,
Prozessplanung

Baugruppen-, Modul-,
Systemproduktion
und -prüfung

After sales,
Life Cycle Management

Aktueller Stand ...

- ca. 40 AK-Mitglieder (ca. 1/3 aktiv)
- 2 Informationsebenen (Fachebene, Informationsebene)
- Erstellen von Flyern (2014, 2016), Infobroschüre (2019)
- Round Table Gespräche, Presseberichte, Vorträge, Messen, Workshops, Design Tagungen
- Aktuell erfolgt die Ausarbeitung der einzelnen Fachartikel (wichtige Querinformationen werden gruppenübergreifend erarbeitet) **ca. 170 Themen**
- Bearbeitung von aktuellen Themen (z.B. Design – Produktion)
- Schaffen einer Wissensdatenbank



Michael Sturm

Anforderungsmanagement (Lasten-/Pflichtenheft)

**Steckverbinder als wichtige Gerätekomponenten
- „White paper“ für die Design-Unterstützung**

Gruppe 1 : Anforderungsmanagement

Lastenheft / Pflichtenheft

Professionalisiertes Anforderungsmanagement führt zunächst zu höherem Aufwand in der Analyse - verkürzt dabei aber die Gesamtlaufzeit des Projektes.

Was sind Anforderungen?

Das IEEE definiert Anforderungen als Bedingungen oder Eigenschaften, die ein System oder eine Person benötigt, um ein Problem zu lösen oder ein Ziel zu erreichen.

Wesentlich kann es sich bei einer Anforderung auch um eine Bedingung oder Eigenschaft handeln, die ein System oder ein Systemkomponente aufweisen muss, um einen Vertrag zu erfüllen oder einem Standard, einer Spezifikation oder einem anderen formalisierten Dokument zu genügen.¹

Anforderungen können folgendermaßen unterschieden werden:

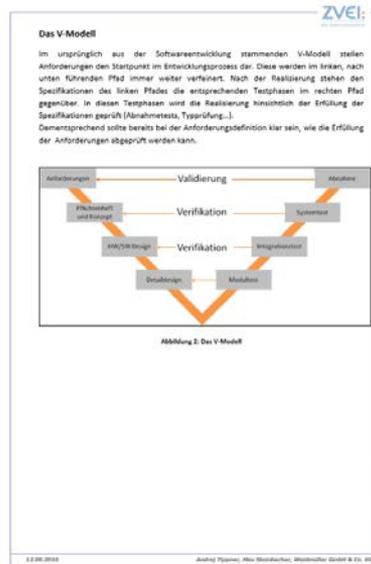
- Funktionale Anforderungen
- Definieren eine vom Produkt bereitstellende Funktionalität
- Qualitätsanforderungen
- Definieren Qualitätsmerkmale für das gesamte Produkt oder bestimmte Funktionen bzw. Komponenten des Produktes
- Ansatz- oder Rahmenbedingungen
- Sind organisatorische oder technische Anforderungen, die den Entwicklungsprozess oder das zu entwickelnde Produkt begrenzen (z.B. Normen)

Funktionale Anforderungen werden von den Stakeholdern in der Regel nach ihrer Dringlichkeit eingestuft. Eine solche Klassifizierung erleichtert im Projektverlauf die Entscheidung, welchen Anforderungen größere Bedeutung beigemessen wird bzw. welche Anforderungen letztendlich wirklich umgesetzt werden. Ferner wird so auch rechtlich verbindlich festgelegt, welche Funktionsstellen für den Projektantraggeber einbringbar sind.

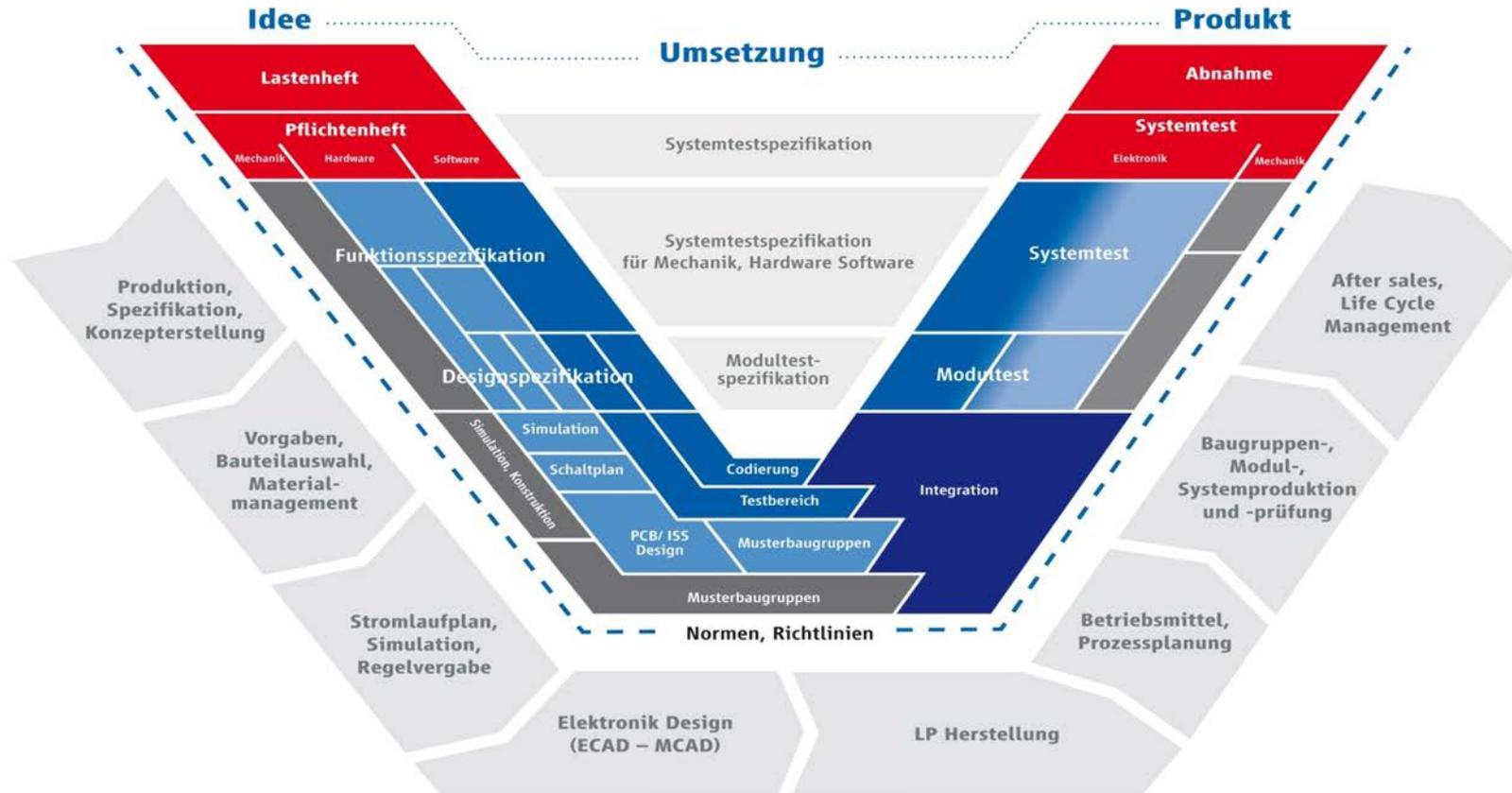
Stufe	Beschreibung	Schlussfolgerung
Pflicht	• verlangt die Erfüllung • Abnahme des Produktes kann erzwungen werden, wenn nicht erfüllt erfüllt werden	→ muss
Wunsch	• Erfüllung wird empfohlen • zwischen Zufriedenheit der Stakeholder	→ sollte
Abwärt	• helfen dabei, Verbesserungen zu schaffen und Zielvorgabe weiter definieren	→ wird

Abbildung 1: Stufen der rechtlichen Verbindlichkeit¹

1. Vgl. IEEE Std 830-1995
2. Eigene Darstellung; vgl. PMI 2010, S. 44 und Rupp 2009, S. 168



Gruppe 1 : Anforderungsmanagement



Gruppe 7 : Komponentenersteller / White Paper

Komponentenspezifische Anwendungshinweise für E- und M-CAD ermöglichen ein schnelleres Ergebnis im Design-Prozess.
Hier: Steckverbinder im SMT-/THR-Prozess

Weidmüller

Surface Mount Technology
Integration von Geräteschutztechnik in den SMT-Prozess
Let's connect

Widmeyer



Surface Mount Technology
Integration von Geräteschutztechnik in den SMT-Prozess

Die heutige Leiterplatte ist ein Träger für elektronische Bauteile, die einfache bis hochkomplexe Veraltungen gestatten. In den vergangenen Jahren haben gezielte Änderungen im Bauelement-Design, höhere mechanische und elektrische Performanzanforderungen geführt dazu, die durch herkömmliche Surface Mount Technology (SMT) die klassische Durchloch-Technologie (Through Hole Technology, TH) überholt werden konnte. TH ist die Methode der Wahl, die bis vor ein paar Jahren die Standardtechnologie für die Oberflächensicherung von elektronischen Bauelementen weitgehend darstellte.

Im SMT-Prozess kommt als Leiterplatten-Design-Reflexion, teilweise vertikale, Kanaltypen oder Durchlochlösungen, zum Einsatz. Im Regelfall sind diese Bauelemente und haben sich auf die Leiterplatte aufgetragen. Lediglich aufzukleben. Die Integration der Geräteschutztechnik in den SMT-Prozess ist ein Through-Hole-Reflow (THR) oder Surface Mount Device (SMD) Verfahren. Beide sind sich ähnelnd.

Surface Mount Device (SMD)



Through Hole Reflow (THR)

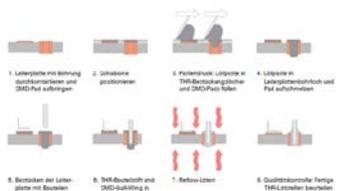


Prozessschritte Surface Mount Technology

Bei der Surface Mount Technology (SMT) erfolgt die Montage eines Bauelements über Anbrüche in der Leiterplatte selbst oder über durchlöchernde Strukturen am Rand. Zum Einsatz kommen auch umgeborene Bauelemente, die meist auf der Leiterplatte montiert und mittels Durchlochlösung oder Flip-Chip-Verfahren kontaktiert werden.

Abhängig gibt es auch noch einige Bauelemente – vorwiegend elektronische Bauelemente – die über einen SMD- oder SMD-ähnlichen Anschluss verfügen und dabei teilweise einen durchlochernden SMT-Prozess in Kombination mit der Leiterplatte auf die Leiterplatte geplatzt werden müssen. Hierüber erläuterte bereits ein Produktwhitepaper der TH-Verfahren. Ein bestimmtes Bauelement, auch im SMT-Prozess verwendbar, ist und ist die herkömmliche Durchlochlösung in der SMT-Fertigung geeignet.

Die Surface Mount Technology umfasst folgende Prozessschritte:



Through Hole Reflow (THR) beschreibt das Verlöten von Bauteilen, wobei durch ein Bohrungslöcher in der Leiterplatte gesteckt und anschließend zusammen mit anderen SMT-Bauelementen verlotet werden. Zu beachten ist bei diesem Verfahren, dass das Bauteil nicht die halbe Fertigung des SMT-Prozesses überleben muss.

THR wird einerseits als Alternative in der Leiterplattenherstellung – vor Beginn der Quantifizierung – und andererseits als mechanische Lösung für die Leiterplatte, um die Bohrungslösung zu vermeiden, empfohlen. Die Bohrungslösung ist ein Bestandteil der Leiterplatte, der die Bohrungslösung zu vermeiden, empfohlen. Die Bohrungslösung ist ein Bestandteil der Leiterplatte, der die Bohrungslösung zu vermeiden, empfohlen.

Anforderungen an Komponenten für den THR-Verfahren

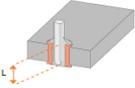
Bei der automatisierten Montage erfolgt die Aufnahme am Besten durch ein Vakuumsystem. Hierfür muss die Komponente eine glatte Ansaugfläche aufweisen. Diese kann eine Bauelementfläche oder ein separates Pad auf dem Pad sein, welches die Montage der Bauteile von der Leiterplatte bis zum Applizieren sicherstellt. Nicht zwingend sollte die Komponente ein niedriges Bauelement sein.

Bei der automatisierten zusammenbauenden Montage (SMT) Zuführung der Bauteile können Pick-and-Place-Systeme oder Einzellösungen für die automatische, programmatische Verpackung der Komponenten, wobei zwischen Top- und Bottom-Verfahren unterschieden wird.

Bei der automatisierten Montage von Komponenten, wobei ein gemeinsames Bauelement und ein gemeinsames Pad verwendet wird, ist die Bohrungslösung der Leiterplatte ein Bestandteil der Leiterplatte, der die Bohrungslösung zu vermeiden, empfohlen.

Lötstiftlänge für den THR-Prozess

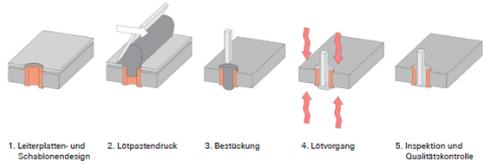
Die Stifflänge L (genauer: der Stiftdruck auf der der Leiterplatte zugewandten Unterseite des Bauteils) hängt vom gewählten Lötverfahren ab.



Für das Wellenlöten eignen sich Stiftdicken mit 3,2 mm bzw. 3,5 mm Länge. Kundenspezifische variable Zwischenlängen von etwa 2,1 mm oder 2,6 mm erlauben es, Parameter wie Stiftdruck flexibel einzustellen.

Als Ideal für das Reflow-Löten hat sich eine Stifflänge, die kürzer als die Leiterplattendicke ist, erwiesen. Für Leiterplattenstärken von 1,6 mm empfiehlt Weidmüller deswegen eine Stifflänge von 1,5 mm – bei optimaler Bohrungsführung und optimalem Pastenverbrauch (siehe auch "IPC-A-610-konform: Stifflänge 1,50 mm und Leiterplattenstärke 1,60 mm").

Designschritte im THR-Verfahren



1. Leiterplatten- und Schablonendesign

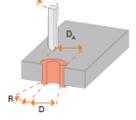
Am Beginn des SMT-Fertigungsprozesses steht das Design der Leiterplatte. Bereits in diesem ersten Schritt entscheiden sich für die spätere reibungslose Ablauf des Fertigungsverfahrens und damit die Qualität der Leiterplattenbestückung. Im Vergleich zur klassischen SMD- bzw. Durchlochlösungstechnologie gilt es beim Leiterplattendesign für THR-Komponenten einige Besonderheiten zu beachten:

Für THR-Leitungen ist – im Vergleich zum Wellenlöten – ein etwas größerer Bestückungslochdurchmesser empfehlenswert, da der Aufschmelzvorgang der Paste in der Bohrung ausreichend Raum benötigt.

Die Fourformel für Bestückungslochdurchmesser (D) lautet:

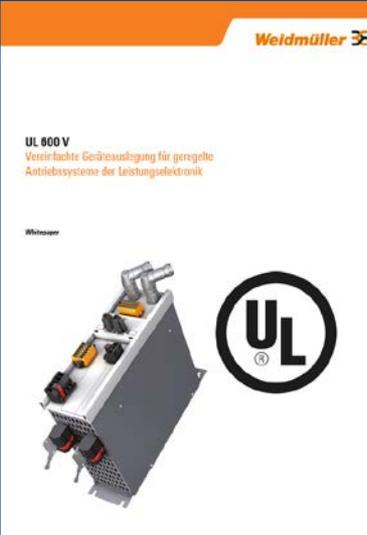
- für runde oder orthogonale Lotstifte: $D = d + \min. 0,3 \text{ mm}$
- für rechteckige Lotstifte: $D = d + \min. 0,25 \text{ mm}$

D = Innendurchmesser Bestückungsloch
 d = Außendurchmesser Bestückungsloch
 d = Lotstiftdurchmesser
 R = Restriktbreite



Gruppe 7 : Komponentenhersteller / White Paper

Luft – und Kriechstrecken: Design-Regeln für die Auslegung von Steckverbindern in Geräten der Antriebstechnik ... erleichtern die UL-Zulassung

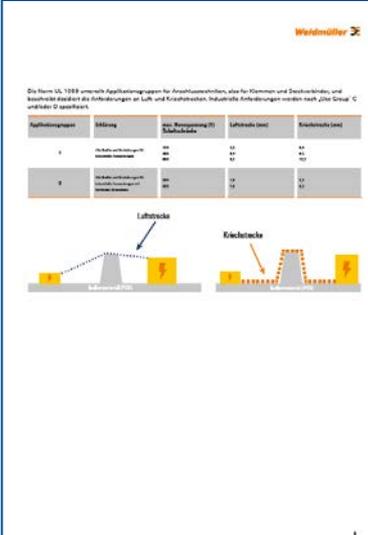


Weidmüller

UL 800 V
Vereinfachte Gerätezulassung für gereichte Antriebssysteme der Leistungselektronik

Widmener

UL



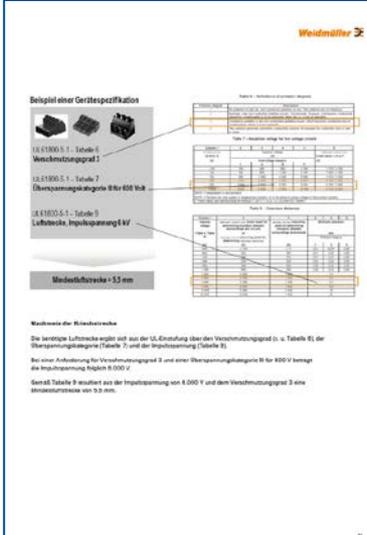
Weidmüller

Die Norm UL 1008 umfasst Applikationsregeln für Anschlusstechnik, also für Klammern und Steckverbinder, und beschreibt Regeln für Anforderungen an Luft- und Kriechstrecken. In beiden Fällen sind Anforderungen werden nach zwei Graden C und/oder D spezifiziert.

Applikationsgruppe	Stärke	Min. Überlappung (D)	Luftstrecke (D)	Kriechstrecke (D)
1	1,5 mm	1,5 mm	1,5 mm	1,5 mm
2	2,0 mm	2,0 mm	2,0 mm	2,0 mm

Luftstrecke

Kriechstrecke



Weidmüller

Beispiel einer Gerätespezifikation

UL1800.5.1 - Tabelle 6
Verschmutzungsgrad 1

UL1800.5.1 - Tabelle 7
Überlappungsgröße für 800 Volt

UL1800.5.1 - Tabelle 9
Luftstrecke, Impulsstrom 1 kV

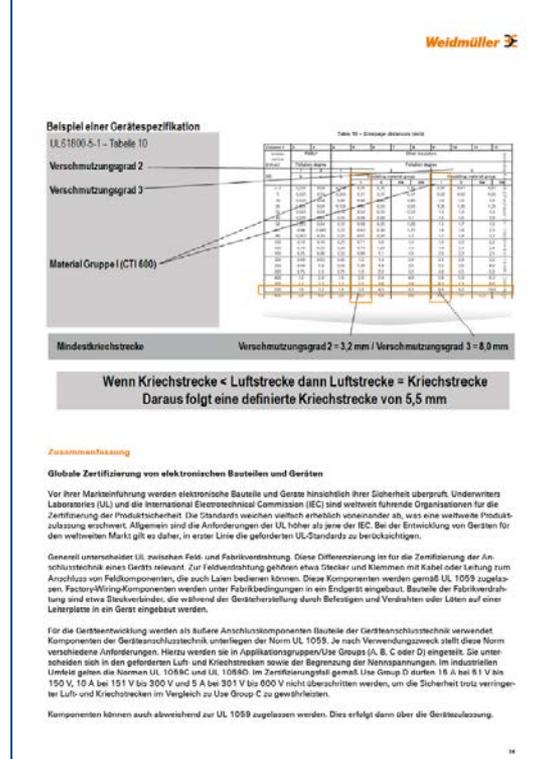
Mindestluftstrecke = 13 mm

Maßnahme der Kriechstrecke

Die vertikale Luftstrecke ergibt sich aus der UL-Einstufung über den Verschmutzungsgrad (s. Tabelle 6) der Überlappungsgröße (Tabelle 7) und der Steckverbindertyp (Tabelle 9).

Für eine Anforderung für Verschmutzungsgrad 2 und einer Überlappungsgröße für UL 800 V beträgt die Impulsstromstärke 8.000 V.

Gemäß Tabelle 9 resultiert aus der Impulsstromstärke von 8.000 V und dem Verschmutzungsgrad 3 eine Mindestluftstrecke von 13 mm.



Weidmüller

Beispiel einer Gerätespezifikation

UL1800.5.1 - Tabelle 10

Verschmutzungsgrad 2

Verschmutzungsgrad 3

Material Gruppe I (CTI 600)

Mindestkriechstrecke

Verschmutzungsgrad 2 = 3,2 mm / Verschmutzungsgrad 3 = 8,0 mm

Wenn Kriechstrecke < Luftstrecke dann Luftstrecke = Kriechstrecke
Daraus folgt eine definierte Kriechstrecke von 5,5 mm

Zusammenfassung

Globale Zertifizierung von elektronischen Bauteilen und Geräten

Vor ihrer Markteinführung werden elektronische Bauteile und Geräte hinsichtlich ihrer Sicherheit überprüft. Unterwärtigen Laboratories (UL) und die International Electrotechnical Commission (IEC) sind weltweit führende Organisationen für die Zertifizierung der Produktsicherheit. Die Standards weichen vielfach erheblich voneinander ab, was eine weltweite Produktzulassung erschwert. Allgemein sind die Anforderungen der UL höher als jene der IEC. Bei der Entwicklung von Geräten für den weltweiten Markt gilt es daher, in erster Linie die geforderten UL-Standards zu berücksichtigen.

Generell unterscheiden UL zwischen Feld- und Fabrikverdrahtung. Diese Differenzierung ist für die Zertifizierung der Anschlusstechnik eines Geräts relevant. Zur Feldverdrahtung gehören etwa Kabel und Klammern mit Kabel oder Leitung zum Anschluss von Feldkomponenten, die auch Laien bedienen können. Diese Komponenten werden gemäß UL 1059 zugelassen. FactoryWiring-Komponenten werden unter Fabrikbedingungen in ein Endgerät eingebaut. Bauteile der Fabrikverdrahtung sind etwa Steckverbindern, die während der Geräteherstellung durch Befestigen und Verbinden oder Löten auf einer Leiterplatte in ein Gerät eingebaut werden.

Für die Geräteentwicklung werden als äußere Anschlusskomponenten Bauteile der Geräteschutztechnik verwendet. Komponenten der Geräteschutztechnik unterliegen der Norm UL 1059. Je nach Verwendungszweck stellt diese Norm verschiedene Anforderungen. Hierzu werden sie in Applikationsgruppen/Use Groups (A, B, C oder D) eingeteilt. Sie unterscheiden sich in den geforderten Luft- und Kriechstrecken sowie der Begrenzung der Nennspannungen. Im industriellen Umfeld gelten die Normen UL 1058C und UL 1058D. Im Zertifizierungsfall gemäß Use Group D starten 18 A bei 81 V bis 150 V, 10 A bei 151 V bis 300 V und 5 A bei 301 V bis 600 V nicht überschritten werden, um die Sicherheit trotz verringerten Luft- und Kriechstrecken im Vergleich zu Use Group C zu gewährleisten.

Komponenten können auch abweichend zu UL 1059 zugelassen werden. Dies erfolgt dann über die Gerätezulassung.

Arnold Wiemers

Gruppe 4 Leiterplattentechnologie

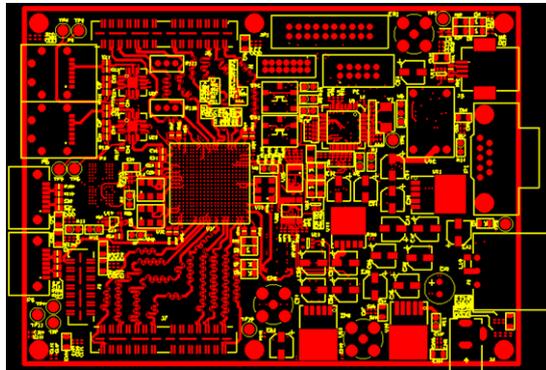
Leiterplatten vermitteln zwischen den geometrischen Vorgaben des CAD-Layout-Designs einerseits und der Produktion und der Inbetriebnahme der Baugruppe andererseits.

Bildquelle
ELEKTRONIKPRAXIS 12-2015

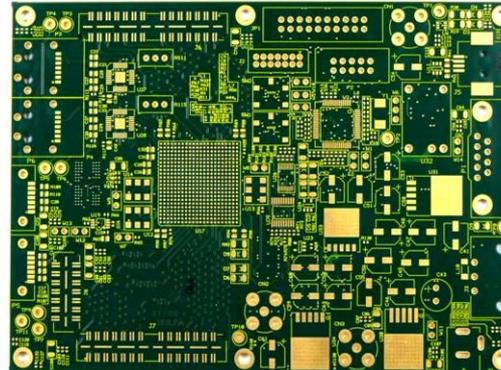
Baugruppe um 1950



Bildquelle Arnold Wiemers Baugruppe um 2009
"Die Leiterplatte 2010" von Gerhard Eigelsreiter/Unitel



CAD-Layout



Leiterplatte



Baugruppe

Regel (Layout, Leiterplatte, Baugruppe)

Die Disziplinen CAD-Layouterstellung, Leiterplattenfertigung und Baugruppenproduktion bedingen sich *gleichwertig* gegenseitig.

CAD

Das CAD-Layout liefert die Fertigungsdokumente für die Produktion der Leiterplatte und der Baugruppe.

Leiterplatte

Die Leiterplattentechnologie liefert die Konstruktionsvorgaben für die Erstellung des CAD-Layoutes und stellt die Leiterplatten für die Baugruppenproduktion bei.

Baugruppe

Die Baugruppenteknologie definiert die Anforderungen an die Qualität der Leiterplatte und des Layouts.

Regel (Formulierung von Designregeln)

Die Formulierung von Designregeln ist nur möglich über die Analyse der Fertigungsbedingungen für die Leiterplatten- und Baugruppenproduktion.

ZVEI:
Die Elektroindustrie

Leiterplattenklassen (allgemein)

Die Konstruktion und die funktionellen Eigenschaften von Leiterplatten sind abhängig von den zulässigen Anforderungen an den Fertigungsprozess. Auch die eingesetzten Basismaterialien legen diese Eigenschaften mit fest sowie die Anzahl der Lagen, die für die Leiterplatte vorgesehen sind.

Die Anzahl elektronischer Baugruppen auf der Basis flexibler und starflexibler Leiterplatten nimmt zu. Die überwiegend produzierten elektronischen Baugruppen setzen jedoch auf starren Leiterplatten auf. Für diese Produkte sprechen die relativ geringen Kosten, die erprobten Fertigungsverfahren und die übersichtlichen Designregeln für die Erstellung des CAD-Layouts.

Für Baugruppen mit extrem integrierten elektronischen Bauteilen reichen 2 Lagen nicht mehr aus, um den Aufbau aller Signalverbindungen zu ermöglichen. Damit mehr als 2 Lagen genutzt werden können, müssen Multilayer (= Mehrebenen-schaltungen) gebaut werden.

Die grundsätzliche Klassifizierung in flexible, starre und starflexible Leiterplatten beruht auf den Anforderungen an die CAD-Konstruktion und die Prozeßtechnologie für die Leiterplattenfertigung und die Baugruppenproduktion.

Starre Leiterplatten...

...bestehen immer aus einem starren Material, wie zum Beispiel FR4 oder starrem Polyimid. Das Material ist mechanisch belastbar und deshalb gut für die Bauteilbestückung geeignet. Anwendungsbereiche sind Leiterplatten mit einseitiger oder doppelseitiger Verdrahtung.

Copper
FR4
Starre Leiterplatte - Schematischer Aufbau

Flexible Leiterplatten...

...nutzen flexibles Polyimid als Basismaterial. Die Flexibilität des Materials bietet dynamische Verbindungen. Die Leiterplatten sind ein- oder zweiseitig ausgeführt. Eine Reststückung ist in Bereichen möglich, die plan montiert und im Gerät nicht begeben werden.

Copper
Polyimid
Copper
Flexible Leiterplatte - Schematischer Aufbau

Starre Multilayer...

...bestehen aus einem starren Materialverbund. Standard ist FR4 aber auch andere Materialien sind verfügbar. Die einzelnen Lagen werden durch einen Pressvorgang miteinander verklebt. Die höhere Lagenanzahl ermöglicht die Verdrahtung hochpoliger Komponenten.

Copper
FR4
Copper
FR4
Copper
Copper
Starre Multilayer (FR4) - Schematischer Aufbau

14.03.2018 Arnold Wimmer, ELFA GmbH, Leiterplatten- & Baugruppen-Service

ZVEI:
Die Elektroindustrie

Schematischer Fertigungsablauf für einseitige Leiterplatte

Die Fertigung einer zu kontaktierenden doppelseitigen starren Leiterplatte kann bis zu 45 Fertigungsschritte erfordern. Für die erforderliche Konstruktion eines CAD-Layouts und für die Vorbereitung der Herstellung von Prototypen ist die Kenntnis der grundlegenden Fertigungsschritte hilfreich.

Schematischer Fertigungsablauf für einseitige Leiterplatte

Erläuterungen der Fertigungsschritte zur Herstellung einseitiger Leiterplatten.

- 1 Ausgabe des Materials nach Spezifikation (grün = Basismaterial, rot = Kupfer)
- 2 Bohren nach Vorgabe des CAD-Postprozesses (. Excellon- oder Sieb&Meyer-File)
- 3 Beschichten des Produktionszuschneits mit sensitivem Fotolaminat (blau)
- 4 Auflegen des gepöhlten Filmes (grau) nach CAD-Daten (.Gerber-File) und UV-Belichtung (gelb)
- 5 Entfernen des Filmes und Entwickeln des Fotolaminates (blau)
- 6 Ätzmedium aussprühen und freiliegendes Kupfer auflösen und ausspülen

17.03.2018 Arnold Wimmer, ELFA GmbH, Leiterplatten- & Baugruppen-Service

ZVEI:
Die Elektroindustrie

Weil Vias von ihrer Funktion her keine Bauteile aufnehmen, können Anforderungen an ihre mechanische Stabilität vernachlässigt werden. Folglich können für Vias die Geometrien des Vapads und der Viaführung hinsichtlich des minimalen Platzbedarfs optimiert werden.

Baueilmontage

Die Bestückung kann auf doppelseitig kontaktierten Leiterplatten theoretisch in Form von 2 Lagen THD plus 2 Lagen SMD erfolgen. Wegen des aufwendigen Handlings wird jedoch empfohlen, den Bestückungsaufwand durch Reduzierung der zu bestückenden Lagen gering zu halten. Insbesondere die Bestückung mit THDs sollte auf nur einen Lötvorgang begrenzt werden.

Das Löten einer doppelseitigen und kontaktierten Leiterplatte mit beidseitiger SMD- und THD-Bestückung kann in nur einem einzigen Arbeitsschritt erfolgen, wenn alle SMDs auf einer Seite platziert sind und wenn alle THDs auf der gegenüberliegenden Seite platziert sind. Sind SMDs und/oder THDs gerichtet auf beiden Seiten platziert, dann sind (z. mindestens) zwei Lötgänge notwendig. Das erhöht die thermische Belastung, die auf die Leiterplatte und die Komponenten der Baugruppe einwirkt.

Doppelseitig kontaktierte Leiterplatte, die einseitig mit THD- und SMD-Bauteilen bestückt ist

Doppelseitig kontaktierte Leiterplatte, die einseitig mit SMD-Bauteilen bestückt ist

Anwendungsbereiche

Doppelseitige und kontaktierte Leiterplatten sind ein erfolgreicher Typus, der für viele Anwendungen im Bereich der Industrielektronik eingesetzt werden kann. Die heute (= 2017) übliche Leiterplattenbreite von 100mm und der übliche Via-Enddurchmesser von 20µm gestatten die Konstruktion kompakter Baugruppen mit zuverlässiger Funktion über viele Jahre.

Sind die Bauteilbohrungen mit Kupfer beschichtet, dann kann als Montagetechnik auch das Engpressen angewandt werden. Das setzt allerdings ein Material wie FR4 voraus, das durch den Aufbau aus Glasgewebe plus Epoxidharz mechanisch einerseits elastisch und andererseits bruchstärker ist und dadurch eine minimale Hülseerkupferdicke von 25µm hat.

Für das Engpressen werden Prellverbundstoffe wie CEM1 oder FR2 nicht geeignet.

17.03.2018 Arnold Wimmer, ELFA GmbH, Leiterplatten- & Baugruppen-Service

ZVEI:
Die Elektroindustrie

CAM-Bearbeitung

Die Daten des CAD-Systems können niemals direkt für die Fertigung von Leiterplatten genutzt werden. Immer müssen vorab die Vollständigkeit und Richtigkeit der Daten bestätigt werden. Anschließend müssen die Daten für die Belange der Leiterplattenproduktion aufbereitet werden.

Es ist die Aufgabe von CAM, die CAD-Daten zu suchen. Die rein optische Überprüfung am Bildschirm kann je nach Leistungsfähigkeit der eingesetzten CAM-Software durch automatische Routinen für die mechanische Abstandsprüfung der Leiterbilder zu einander, zur Kontur oder zum Bohrloch ergänzt werden.

Datenprüfung und Design-Rule-Check

Das CAD-System geht mit dem Postprozess diverse Layoutdaten aus. Übliche Datenformate sind "Sieb&Meyer" oder "Excellon" für Bohr- und Fräsdaten sowie "Gerber" für die Leiterbilder und Drucke.

Im Vorfeld der Erstellung der Produktionsdaten für die Leiterplattenproduktion wird ein Design-Rule-Check (= DRC) durchgeführt, der die Produktierbarkeit der Leiterplatte sicherstellen soll.

Mit dem Design-Rule-Check werden die mechanischen Konstruktionsvorgaben seitens des CAD-Layouts überprüft. Restringe, Bohrdurchmesser und die Abstände zwischen Kupferstrukturen werden vermessen. Die Lageraufbaudokumentation, die Materialspezifikation und die Anforderungen an Lacke und Farben werden abgeglichen. Bei Unstimmigkeiten ist die Kommunikation zum CAD-Konstrukteur erforderlich. Erst nach verbindlicher Klärung aller Unstimmigkeiten darf das Layout für die Leiterplattenfertigung freigegeben werden.

Datenaufbereitung und Nutzen setzen

Aus logistischen und wirtschaftlichen Gründen werden Leiterplatten während des Produktionsdurchlaufs mit festen Maßen für den Basismaterialzuschnitt gefertigt.

CAM-Daten (links) als Ausgangspunkt für die Montage des Prototypendruckes (rechts)

13.02.2017 Arnold Wimmer, ELFA GmbH, Leiterplatten- & Baugruppen-Service

Basismaterial

Das Basismaterial ist wichtig für die technisch-physikalische Funktion elektronischer Baugruppen.

ZVEI:
Die Elektroindustrie

Basismaterial (starr)

Das Material für die Konstruktion von Leiterplatten (= Basismaterial) ist ausschlaggebend für die technisch-physikalische Funktion und die Kosten einer elektronischen Baugruppe.

Der wirtschaftliche Erfolg eines Gerätes, einer Anlage oder einer Maschine ist ohne ein passend definiertes Basismaterial unkontrolliert.

Was ist „Basismaterial“ ?

Die einzelnen Bestandteile eines typischen starren Basismaterials sind :

- Klebstoff, Trägermaterial und Lackschicht. Beim FR4, dem mit Abstand meistgenutzten Basismaterial, besteht der Klebstoff aus Epoxidharz und das Trägermaterial aus Glasfasern (... bestehend aus Glasfibrillen), die zu einem Glasgewebe verwoben sind.

Prepregs und Kupferfolien sind das Ausgangsmaterial für die Herstellung des klassischen FR4-Basismaterials. Der Basismaterialhersteller verpresst ausgewählte Prepregs mit Kupferfolien zu einem Materialverbund, den sogenannten Laminat.

Prepreg

„Prepreg“ leitet sich von „Preimpregnated“ ab. Das Kunstwort soll darauf hinweisen, daß das Glasgewebe mit einem Epoxidharz vorimprägniert (= beschichtet) ist, wobei das Harz aber noch nicht vollständig ausgehärtet (= polymerisiert) ist.

Jedes Prepreg besteht aus genau einem Glasgewebe, dessen Typ mit einer Nummer angegeben wird, zum Beispiel „106“, „1080“, „2116“ oder „7029“.

Bei der Herstellung von FR4-Prepregs wird das Glasgewebe mit einem Epoxidharz getränkt. Das Harz verläuft die Zwischenräume des Gewebes und bedeckt zudem die Außenseiten des Glasgewebes.

Prepregvarianten

Früher war die Dicke eines Prepregs mit Bezug auf die Bezeichnung des Prepregs sehr veränderlich. Das 106er war zirkulär 50µm dick, das 1080er zirkulär 60µm, das 2116er zirkulär 115µm und das 7628er zirkulär 180µm.

Die Forderung nach einem sichereren aber auch kostengünstigerem Verpressen von Multilayern hat zu Prepregvarianten mit unterschiedlich dickem Harzauftrag geführt.

08.03.2018 Arnold Wismers, ILFA GmbH, LeiterplattenAkademie GmbH

ZVEI:
Die Elektroindustrie

Welche Prepregvariante vorliegt, ist üblicherweise durch einen Namenszusatz erkennbar: Die Kennung „SR“ steht für „Standard resin“, „MR“ für „Medium resin“ und „JR“ für „High resin“.

Herstellereigene und inklusive aller Fertigungstoleranzen kann somit die Dicke eines Prepregs mit einem 1000er-Glasgewebe schwanken zwischen 56µm (= SR-Variante, untere Toleranz) und 84µm (= HR-Variante, obere Toleranz).

Hinweis (Prepreg)

Nicht alle Basismaterialhersteller weltweit benutzen die Bezeichnungen SR, MR und HR. Einige Basismaterialhersteller haben von einem Prepregtyp nicht nur drei sondern 4 oder 5 oder noch mehr Varianten.

Laminat

Als alternative Bezeichnungen für Laminat sind auch die Begriffe „Kern“ (= Core) oder „Kupferkaschiertes Material“ (= Copper Clad Laminate) üblich.

Für die Fertigung eines Basismateriallaminates werden in der Laminatpresse des Herstellers ein oder mehrere Prepregs zusammengeführt und außen zusätzlich auf einer oder auf beiden Seiten mit einer Kupferfolie belegt.

Diesem Materialstapel verpresst der Basismaterialhersteller zu einem Laminat (= früher auch als „Tafel“ oder „Tafelware“ bezeichnet). Die Enddicke des fertigen Laminates ergibt sich aus der Kombination der eingesetzten Prepregs und Kupferfolien. Umgangssprachlich sind „Dünnlaminat“ (= thin laminates) mit Dicken zwischen zirka 0,05mm und 0,86mm, und „Dicklaminate“ (= rigid laminates) mit Dicken zwischen zirka 0,90mm und 3,2mm verfügbar. Das vollständige Materialgefüge abzüglich der Kupferfolien wird als „Dielektrikum“ bezeichnet. Solter Multilayer hergestellt werden, dann werden die Kerne mit originalen Prepregs zu einem Verbund verklebt.

Kupferfolie

Die Dicke der Kupferfolien beträgt üblicherweise 5, 12, 17, 35, 70, 105, 210 oder 420µm. Mit diesen Kupferdicken ist keine direkte physikalische Eigenschaft verknüpft.

08.03.2018 Arnold Wismers, ILFA GmbH, LeiterplattenAkademie GmbH

ZVEI:
Die Elektroindustrie

Die Bezeichnungen kommen historisch bedingt aus dem anglo-amerikanischen Sprachraum und sind lediglich ein Vielfaches oder ein Teiler von 1 Unze (= 35mm) Kupfer.

Die Seite der Kupferfolie, die auf das Dielektrikum geklebt wird, ist oxidativ aufgeraut, um die Haftung zwischen Kupferfolie und Dielektrikum zu erhöhen.

FR4

„FR“ steht für „Flame retardant“ und weist auf die flammhemmende Eigenschaft des Materials hin. Die „4“ steht für einen bestimmten FR-Typus. Es gibt auch die Typen „FR2“ und „FR3“, die für einfachere Baugruppen eingesetzt werden und „FR5“ mit einer höheren Temperaturbeständigkeit als „FR4“ (... heute aber auch von Hoch-Tg-FR4 erreicht wird).

Die absehbare Zukunft geht sicherlich dem FR4 und seinen Derivaten. Das Material ist stabil, die Isolation ist zuverlässig, das dielektrische Verhalten ist brauchbar, die Kosten sind akzeptabel, die Verarbeitung ist etabliert und die Temperaturbeständigkeit ist tolerabel.

Die FR4-Derivate (... vermutlich um die 220 Varianten) werden im Wesentlichen durch eine Modifikation der Epoxidharzmatrix erzeugt. Mit der Umstellung auf bleifreie Elektronik (= RoHS I, RoHS II) ist es üblich geworden, einen Teil des Harzvolzums der FR4-Basismaterialien gegen mineralische Füllstoffe auszutauschen.

Die temperaturbedingte veraltete Z-Achsen-Ausdehnung (= Koeffizient CTE(z)) der Leiterplatte wird dadurch vermindert).

Der Standard für den Kernwert „Tg“ von FR4 liegt bei 135°C, höhere Tg-Werte sind 150°C oder 175°C je nach Materialhersteller.

In Folge der höheren Temperaturbeständigkeit reduziert sich dadurch die Wahrscheinlichkeit, daß die Leiterplatte während der Baugruppenproduktion Schaden nimmt.

Man spricht dann von „FR4 mit einem höheren Tg-Wert“, von „gefüllten Materialien“ oder auch von „Hoch-Tg-Material“.

Begriff (RoHS)

„Restriction of hazardous substances“ = Einschränkung der Verwendung gefährlicher Stoffe (... in elektronischen Baugruppen).

Tg-Wert für FR4

Der „Tg-Wert“ ist eine (... von mehreren) Kenngröße, mit der die technisch-physikalische Qualität eines FR4-Basismaterials beschrieben wird. Bei Temperaturbelastungen oberhalb des Tg-Wertes wird das Epoxidharzgefuge weich und elastisch. Die Z-Achsen-Ausdehnung des FR4-Materials nimmt erheblich zu. Fehlerereignisse sind dann Risse der kontaktierten Vias und/oder Abrisse der innenliegenden Leiterbahnen von den Vialötsen.

08.03.2018 Arnold Wismers, ILFA GmbH, LeiterplattenAkademie GmbH

ZVEI:
Die Elektroindustrie

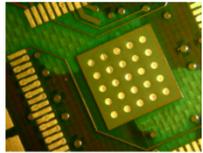
Mit einer Aufheizrate von 10°C/min wird eine Probe das Basismaterial erwärmt. Dabei wird der Gewichtsverlust gemessen, der sich durch Ausgasung und die Umwandlung thermisch instabiler Harzkomponenten in gasförmige Verbindungen ergibt.

Begriff (Td : decomposition temperature)

Der „Td-Wert“ beschreibt die Temperatur, bei der 5% Gewichtsverlust detektiert wurde. Der Wert wird in °C (= Grad Celsius) angegeben.

Delamination

Eine hohe und über längere Zeit einwirkende Temperaturbelastung führt auf Leiterplatten (...und das gilt insbesondere für Multilayer) zu einer Beschädigung des Materialverbundes. Dabei können sich die einzelnen Materialschichten (...Prepregs, Laminat, Kupferfolie) partiell von einander ablösen (= delaminieren).



Delaminationen auf einem Multilayer

T260 und T288

Die T260- und T288-Werte geben einen Hinweis auf die Delaminationswahrscheinlichkeit eines Basismaterials an. Geeignete Materialproben werden schrittweise mit 10°C/20°C/min bis zur Haltemperatur 260°C/288°C erwärmt. Anschließend wird die Zeit bis zum Auftreten von Delaminationen gemessen.

Begriff (Td : time to delamination)

Die T260- und T288-Werte beschreiben die Zeit bis zur Delamination ab Erreichen der Haltemperatur. Der Wert wird in Minuten angegeben.

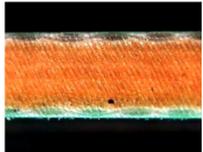
CEM1 und CEM3

CEM steht für „Composite Electronic Material“. Der Begriff soll verdeutlichen, daß es sich um ein Mischmaterial für elektronische Baugruppen handelt.

CEM1 hat einen Kern aus Zellulosepapier, der mit Epoxidharz getränkt ist.

CEM2 ist im Kern aus nicht gewobenen Glasfasern (= Glas-Wirrsauer) aufgebaut und ist mit Epoxidharz imprägniert.

CEM1 und CEM3 sind im Prinzip Hybride mit einem Preßverbundmaterial im Kern und jeweils einer einzigen FR4-Glasgewebebelage zur Außenseite hin. Das Material ist ein- oder doppelseitig mit einer Kupferfolie laminiert. Die Materialien sind mechanisch gut verarbeitbar (= bohren, stanzen, fräsen) und haben akzeptable technische Qualitäten. Das Material ist nicht multilayerfähig.



CEM1 Verbundmaterial mit 2 x je 1 äußeren FR4-Lage

08.03.2018 Arnold Wismers, ILFA GmbH, LeiterplattenAkademie GmbH

Bohrungen : AspectRatio

Die galvanische Kontaktierbarkeit eines Vias ist für die Auswahl des minimalen Viadurchmessers bedeutsam.

ZVEI
Die Elektroindustrie

Aspect Ratio für Bohrungen

Elementare Vorgaben für eine zuverlässige Hülsenmetallisierung

Leiterplatten müssen kontaktiert werden, wenn die elektrischen Signale über mehrere Lagen geführt werden sollen.

Nach dem Bohren/Lasern der Löcher durchlaufen die Leiterplattenzuschneite in einem Galvanisierbad mehrere galvanische Bäder. Auf die Vorreinigung der Löcher folgt das Aktivieren der zu diesem Zeitpunkt noch nicht leitenden Lochwände/Lochhülsen. Dabei wird durch eine chemische Abscheidung von Karbon oder Palladium oder Kupfer eine Strom leitende Oberfläche mit einer geringen Dicke von 2-3 µm erzeugt.

Der endgültige Aufbau des deutlich dickeren Hülsenkupfers findet in einem galvanischen Bad statt, das Kupferionen in wässriger Lösung zur Verfügung stellt. Die Kupferionen werden von irdischen Kupferanoden geliefert, die in das Bad eingetaucht werden.

Der Leiterplattenzuschnitt wirkt als Kathode. Durch Anlegen eines elektrischen Feldes kommt es zur Elektrolyse. Die Kupferionen werden motiviert, sich auf der gesamten freiliegenden Oberfläche des Leiterplattenzuschnittes abzulagern.

Durchführung der Hülsen

Topologisch gesehen ist die Innenwand einer Bohrung (= die Bohrhülse) Teil der Oberfläche. Diese ist Hülsenwand mit Kupfer beschichtet wird, muss die Bohrung in den einzelnen galvanischen Bädern mit den reaktiven Flüssigkeiten durchflutet werden.

Wird Flüssigkeit in eine Bohrung eingebracht, dann kommt es zu Wechselwirkungen zwischen den Molekülen der Flüssigkeit und der Hülsenwand.

Durch Adhäsion (= Halbratf, Haftung) wird die Flüssigkeit an der Wand festgehalten.

Zusätzlich halten die Moleküle untereinander zusammen, mit dem Bestreben, eine geschlossene Oberfläche auszubilden (= Oberflächenspannung).

Diese Effekte wirken einer beliebigen Durchflutung entgegen.

Für eine Leiterplatte/Baugruppe kann eine unzureichende Durchflutung katastrophale Folgen haben. Ist die Durchflutung der Bohrung unregelmäßig, dann wird auch das Kupfer an der Hülsenwand unregelmäßig abgeschieden.

Im Ergebnis ist die Hülsenwand zu dünn oder fehlt in Teilbereichen ganz.

12.06.2017 Arnold Wismers, ILFA GmbH, LeiterplattenAkademie GmbH

ZVEI
Die Elektroindustrie

Eine zu dünne Kupferhülse ist thermisch und mechanisch nicht ausreichend belastbar. Bei fehlendem Kupfer ist der Signalweg unterbrochen. Weil das immer zu einer Fehlfunktion der Baugruppe führen würde, darf eine derart geschädigte Leiterplatte nicht ausgeliefert werden und muss entsorgt werden.

Die Erfahrung zeigt, dass es einen Zusammenhang zwischen der Länge einer Bohrung respektive eines Loches (= Hülsenlänge) und dem Durchmesser der Bohrung gibt. Wird die Bohrung zu lang (= Bohrliefe) und/oder der Durchmesser der Bohrung zu klein (= Bohrwirkzeugdurchmesser, geläster Lochdurchmesser), dann wird die Qualität der Kontaktierung fraglich und der Betrieb der Baugruppe wird riskant.

Designregeln für die Geometrie einer Bohrung

Mit der Konstruktion des CAD-Layouts muss vorausschauend bereits die spätere zuverlässige Produktion der Leiterplatte/Baugruppe besprochen werden. Das erfordert, dass der Leiterplattenhersteller sein Aspect Ratio für Bohrungen mitteilt.

Das Aspect Ratio ist üblicherweise an die Kontaktierungsstrategie (= Blind Via, Buried Via, Durchkontaktierung) gebunden, an die Fertigungsregeln (= bohren, lasern) und gegebenenfalls auch an die Leiterplattenklasse (= Flex, Starr, Starrflexibel) und die Qualität des Basismaterials.

Ein typischer Wert für Durchkontaktierung und Buried Vias ist 1:8.

Ein typischer Wert für Blind Vias ist 1:1.

Die galvanotechnische Kontaktierbarkeit von Blind Vias im Vergleich zu Durchgangsbohrungen/Durchkontaktierungen ist immer deutlich unterschiedlich. Durchgangsbohrungen werden in der Galvanik von den chemischen Reagenzien durchflutet während bei Blind Vias die Reagenzien von einer Seite eingedrungen und von dieser Seite aus auch wieder entfernt werden müssen.

Das Aspect Ratio für Bohrungen ist zudem von der technischen Leistungsfähigkeit der Galvanisanlage des Leiterplattenherstellers abhängig und/oder dem eingesetzten technischen Kontaktierungsverfahren.

Die Werte für das Aspect Ratio können folgend von Hersteller zu Hersteller abweichen. Für die Konstruktion des CAD-Layouts müssen daher die Werte der Leiterplattenhersteller zu Grunde gelegt werden, die später mit der Produktion der Leiterplatten beauftragt werden.

Allgemein gilt, daß ein Leiterplattenhersteller mit einem kleineren Wert für das Aspect Ratio, zum Beispiel 1:8, problematischer Leiterplatten fertigen kann, die für ein größeres Aspect Ratio, zum Beispiel 1:7, ausgelegt sind. Die Umkehrung dagegen gilt keinesfalls.

Definition (Aspect Ratio für Bohrungen)

Die sichere Kontaktierbarkeit einer Bohrung ist genau dann gegeben, wenn die Länge der zu kontaktierenden Bohrung ein bestimmtes Vielfaches des Bohrdurchmessers nicht überschreitet. Es gilt:

$$(GL1) \quad \text{AspectRatio} = \frac{\text{Bohrwerkzeugdurchmesser}}{\text{Kontaktierbare Bohrliefe}}$$

12.06.2017 Arnold Wismers, ILFA GmbH, LeiterplattenAkademie GmbH

ZVEI
Die Elektroindustrie

Hinweis : Aus didaktischen Gründen ist "Aspect Ratio" in den Formeln "AspectRatio" geschrieben.

Damit beschreibt das Aspect Ratio für Bohrungen also das mathematische Verhältnis zwischen dem minimalen Lochdurchmesser und der galvanisch maximal zu kontaktierbaren Hülsenlänge.

Als Nebeneffekt ergibt sich die Erkenntnis, daß der Enddurchmesser eines Vias wohl anscheinend immer dem vom CAD-System vorgegebenen Tool-Durchmesser (= tool diameter) entsprechen soll.

Da die Formel eine direkte Abhängigkeit des Aspect Ratios von der "Kontaktierbaren Bohrliefe" aufzeigt, folgt, daß es für nichtkontaktierte Bohrungen eine Bedingung für ein Aspect Ratio nicht geben kann.

Das Aspect Ratio als allgemeine mathematische Formulierung

Ein Aspect Ratio beschreibt stets ein "Verhältnis" oder auch eine "Relation" zwischen üblicherweise zwei Größen.

Wird die Relation mit "c" bezeichnet und werden die beiden Größen mit "a" und "b" benannt, dann ergibt sich die allgemeine mathematische Formulierung :

$$c = a : b \quad \text{oder} \quad c = \frac{a}{b}$$

Nach den algebraischen Regeln läßt sich diese Gleichung umformen in:

$$a = b \cdot c \quad \text{oder} \quad b = \frac{a}{c}$$

Faktisch ist eine Relation als Bruch darstellbar. Die Interpretation der allgemeinen Gleichung $c = a : b$ erlaubt einige Schlüsselfolgerungen :

Wenn "c" den Charakter eines konstanten Wertes haben soll, dann muss "b" größer werden, wenn "a" größer wird.

Andererseits muss "b" kleiner werden, wenn "a" kleiner wird.

Die Beziehung zwischen "a" und "b" ist linear. Verdoppelt sich "a", dann verdoppelt sich auch "b".

12.06.2017 Arnold Wismers, ILFA GmbH, LeiterplattenAkademie GmbH

ZVEI
Die Elektroindustrie

Außerdem gilt : wenn "a" sich verändert, "b" sich aber nicht verändern kann oder darf, dann muss sich "c" verändern, damit die Gleichung ihre Gültigkeit behält. Gleiches gilt, wenn "b" sich verändert, "a" sich aber nicht verändern kann oder darf.

Das Aspect Ratio in der Praxis

Mit der Übertragung dieser theoretischen Betrachtungen auf das Aspect Ratio für Bohrungen werden Durchmesser und kontaktierbare Hülsenlängen berechenbar.

In der Galvanik wird die Durchflutung der Bohrung erschwert, wenn der Lochdurchmesser kleiner wird. Deshalb beschreibt das Aspect Ratio immer eine *Mindestbedingung*. Es wird der *minimale Lochdurchmesser* festgelegt, bei dem eine zuverlässige Kontaktierung noch gewährleistet ist.

Weil minimale Lochdurchmesser betrachtet werden führt das Aspect Ratio zu Regeln, die vornehmlich für die Geometrie von Vias zum Einsatz kommen werden.

Die Abscheidung von Kupfer an der Hülsenwand einer Bohrung/eines Laservias ist nur einer von mehreren Fertigungsschritten, die durchgeführt werden müssen, damit Metall an der Hülsenwand abgeschieden wird.

Die Durchströmung einer Bohrung/eines Loches ist beispielsweise auch für die HAL-Beschichtung erforderlich oder für die chemische Vergoldung über einer vorher aufgetragenen Nickelschicht.

Für die Prozessierung der Endoberfläche müßte somit jeweils ein eigenes Aspect Ratio parametrisiert werden.

Wir erhalten deshalb eine allgemeingültige Formel, wenn wir in Gleichung (GL1) den Begriff "Bohrwerkzeugdurchmesser" gegen "Lochdurchmesser (min)" ersetzen :

$$(GL2) \quad \text{AspectRatio} = \frac{\text{Lochdurchmesser (min)}}{\text{Kontaktierbare Bohrliefe}}$$

Diese Gleichung läßt sich nach den algebraischen Regeln umformen in :

$$(GL3) \quad \text{Kontaktierbare Bohrliefe} = \frac{\text{Lochdurchmesser (min)}}{\text{AspectRatio}}$$

$$(GL4) \quad \text{Lochdurchmesser (min)} = \text{AspectRatio} \cdot \text{Kontaktierbare Bohrliefe}$$

Sind zwei Parameter bekannt, dann ist der dritte Parameter berechenbar und es ist möglich, die Aufgaben zu lösen, die mit dem Aspect Ratio für Bohrungen verknüpft sind.

Also lassen sich die technischen Vorgaben aus der Leiterplattenproduktion als verbindliche Regel für den Teil der geometrischen Konstruktion von CAD-Layouts formulieren, der sich mit Viageometrien beschäftigt.

Bei mechanisch erstellten Bohrungen ist der Lochdurchmesser identisch mit dem Durchmesser des Bohrwerkzeugs.

12.06.2017 Arnold Wismers, ILFA GmbH, LeiterplattenAkademie GmbH

Endoberfläche

Mit der Festlegung der Endoberfläche wird die Qualität der Lot-Benetzung während des Lötens beeinflusst.

ZVEI:
Die Elektroindustrie

Oberflächen

Die Leiterplatte stellt die Verbindungen zwischen den Anschlüssen der Bauteilkomponenten her. Die Bauteile müssen mit der Oberfläche fest verbunden sein. Mögliche Verbindungstechnologien sind das Lötens, das Bonden, das Leitleber und das Einpressen.

Zur „Oberfläche“ zählen nicht nur SMD-Padflächen sondern auch die Restringe und die Hülsenoberfläche der THT-Baukelbohrungen. Der galvanische Aufbau der Oberfläche beeinflusst die Strombelastbarkeit und die Qualität der Signalübertragung.

Die Endoberfläche schützt bis zum Bestücken und Löten der Leiterplatte die Lötflächen vor Korrosion. Die Dauer des Schutzes orientiert sich am Oberflächentyp und reicht von wenigen Wochen (...OSP) bis zu einem Jahr (...HAL, chemisch Gold), eine fachgerechte Lagerung vorausgesetzt.

Das vornehmlich leitende Material auf Leiterplatten ist Kupfer. Die Endoberfläche (...das Finish) wird erst nach dem Ätzen der Leiterbahnstruktur aufgebracht.

Endoberflächen	Verbindungstechnik			
	Löten	Bonden	Kleben	
■ Bestrip	✓	✗	✗	
■ Ringgold (chemisch)	✓	✓	✓	
■ Ringgold (galvanisch)	✓	✓	✓	
■ OSP	✓	✗	✗	
■ Gold (chemisch) / ENIG	✓	✓	✓	
■ Finel (galvanisch)	✓	✓	✓	
■ Silber (chemisch) / ABSG	✓	✓	✓	
■ Hot-Air-Leveling (Heißluft)	✓	✗	✗	
■ Kupfer	✓	✗	✗	
■ Nickel (galvanisch, chemisch)	✓	✗	✗	
■ Zinn (chemisch)	✓	✗	✗	

■ Empfehlenswert für SMD ■ Nicht-Rohleberkonform

Endoberflächen auf Leiterplatten

Zur Auswahl für die Endoberfläche stehen die fünf Metalle Gold, Palladium, Silber, Zinn und Nickel sowie eine organische Schutzschicht zur Verfügung. Die Metalle werden chemisch auf das Kupfer aufgebracht. Hartgold und Nickel galvanisch. In den letzten Jahren ist die Zahl wählbarer Endoberflächen auf zirka 20 angestiegen.

Galvanische Metallisierung

Die galvanische Metallisierung wird genutzt, wenn relativ dicke und abriebfeste Oberflächen benötigt werden. Beispiele dafür sind PC-Stecker oder Schalter, deren Kontaktflächen oder Schiefer direkt auf der Leiterplattenoberfläche arbeiten. Auch die Montageelektronik kann eine Rolle spielen. Ein Beispiel dafür ist das Bonden von Chips mit Goldstrahl auf einer galvanischen Goldoberfläche.

03.04.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

ZVEI:
Die Elektroindustrie

Lötstopplack als Resist bei chemischen Oberflächen

Die Endoberflächen bedecken immer nur die freiliegenden Kupferflächen auf der Leiterplatte. Das sind üblicherweise die Lötflächen der Bauteile sowie gegebenenfalls Künftflächen und Kontaktflächen, die von Bauteilen genutzt werden. Diese partielle Bedeckung wird erreicht durch das Aufbringen des Lötstopplackes vor dem Prozessieren der Endoberfläche. Der Lötstopplack lässt nur die Löt- und Kontaktflächen frei und wirkt damit als Resist (= Schutz, Abdeckung) für den direkt nachfolgenden Prozess der Oberflächenbeschichtung. Alle Leiterbahnstrukturen, die unter dem Lötstopplack liegen, verbleiben in Kupfer und bekommen keine Endoberfläche.

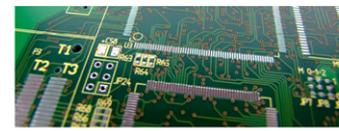
Hot-Air-Leveling

Die Planarität der HAL-Oberfläche ist mittelmäßig, die Schichtdicke ist unregelmäßig, die Kantenabdeckung der Lötflächen ist nicht immer perfekt und die Lötflächen selbst weisen schon mal lokale Benetzungfehler auf.

HAL wird in einem Tauchbad oder in einer horizontalen Durchlaufanlage prozessiert. Die Schichtdicke liegt prozessbedingt sehr variabel zwischen 1 und 20µm. Der Energieverbrauch des HAL-Prozesses ist hoch. Die Temperaturbelastung der Leiterplatte durch den Fertigungsabschnitt „HAL“ ist beachtlich und führt zu einer deutlichen Vorerwärmung der Leiterplatte.

HAL

2. Bezeichnung HAL: Heißluftverzinzung, Sn
Erscheinungsbild silberfarben, matt - leicht glänzend
Schichtdicke Zinn 0.50-40 µm ...direkt auf Kupfer
Oberflächenstruktur ungleichmäßig, uneben, weich
Verarbeitbarkeit 12 Monate
Bestückung THD, Finepitch, BGA
Eignung SMD- und THD-(Misch)Bestückung



03.04.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

ZVEI:
Die Elektroindustrie

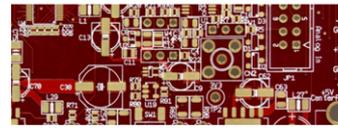
Chemisch Nickel-Gold

Chemisch Nickel-Gold (= ENIG = Electroless Nickel Immersion Gold) ist verbreitet und wird gerne favorisiert, wenn das Löten und das Bonden als Verbindungstechnik auf einer Leiterplatte kombiniert werden sollen. Die Oberfläche ist plan, die Schichtdicke des Goldes liegt je nach Ausführung bei 0.04 bis 0.12µm. Dieses Gold ist vornehmlich auf einer Nickelschicht von unregelmäßigen 4 bis 6µm abgeschieden. Das Nickel hat dabei die Funktion einer Diffusionsbarriere, die verhindert, daß die Goldatome in die Metallgitterstruktur des Kupfers diffundieren. Bei Goldoberflächen mit Nickel als Sperrschicht findet das Löten auf dem Nickel statt und nicht auf der Kupferoberfläche der Leiterplatte. Die Lagerfähigkeit von NiAu ist gut, eine Verarbeitbarkeit ist auch nach einem Jahr noch möglich. Wegen der nicht unfrischen Nickelschicht gibt es inzwischen alternative chemische Goldoberflächen, die auf Palladium oder Silber aufbauen.

Chemisch Nickel-ENIG

2. Bezeichnung ENIG (electroless nickel immersion gold), NiAu
Erscheinungsbild goldfarben, matt
Schichtdicke Nickel 4.00-6.00µm 4.00-6.00µm 4.00-6.00µm
Gold 0.05-0.06µm 0.07-0.08µm 0.09-0.12µm
Die Goldbeschichtung ist mit unterschiedlichen Dicken verfügbar.

Oberflächenstruktur plan, weich
Verarbeitbarkeit 12 Monate
Bestückung THD, Finepitch, BGA, BTC
Eignung SMD- und THD-(Misch)Bestückung



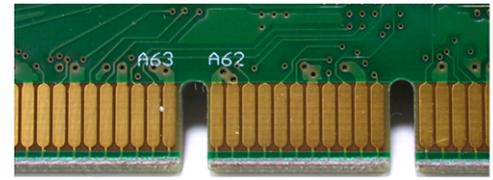
03.04.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

ZVEI:
Die Elektroindustrie

Galvanisch Gold

2. Bezeichnung Galvanic Gold, Hartgold
Erscheinungsbild goldfarben, matt - leicht glänzend
Schichtdicke Nickel 4.00-6.00µm
Gold 1.00-1.50µm

Oberflächenstruktur plan, hart
Verarbeitbarkeit 12 Monate
Bestückung THD
Eignung PC-Stecker, Direktkontakt, Zweitoberfläche



Oberfläche Galvanisch Gold / „Hartgold“

Die Leiterbahnsegmente am Ende der Steckungen sind von CAM eingefügt worden und waren ursprünglich miteinander verbunden und zum Rand des Produktionsrunzen geführt, damit eine elektrische Verbindung entstehen kann. Das Anfasern der Kontur vor der Durchführung der elektronischen Prüfung hebt diese Verbindung wieder auf. Der Lötstopplack neben der Fase hätte vermieden werden sollen.

Geltungsbereich

Gültig für alle Leiterplattenklassen : Flex, Starr und Starrflexibel.

Querverweise

Oberflächen von Leiterplatten, Löten

Quellenverzeichnis

Arnold Wiemers, Seminar Leiterplatten 1 ... drc2, Stand 06/2017
LA - LeiterplattenAkademie GmbH, Berlin, im Selbstverlag
Arnold Wiemers, Seminar Leiterplatten 24 ... Chemische Prozesse, Stand 10/2017
LA - LeiterplattenAkademie GmbH, Berlin, im Selbstverlag
Bilder und Grafiken : © ISW/Arnold Wiemers, Braunschweig

03.04.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

Drucke und Lacke

Drucke und Lacke schützen die Leiterplattenoberfläche und sichern den zuverlässigen Betrieb der Baugruppe.

ZVEI:
Die Elektroindustrie

können (...) und (sollten) aufgedruckt werden. Hilfreich sind zudem Hinweise auf mögliche Sperrflächen. Der Bestückungsdruck soll in der Datenbank des CAD-Systems so angelegt sein, daß Polaritäten und Bauelementen nach der Bestückung der Leiterplatte nicht abgedeckt werden und auch später noch lesbar sind.

Edieren des Bestückungsdruckes

Bevor die Arbeit an einem CAD-Layout abgeschlossen wird, müssen Position und Lesbarkeit von Texten und Bauelementen im Bestückungsdruck überprüft und gegebenenfalls editiert werden.

Bei dichtbestückten SMD-Layouts reicht der zur Verfügung stehende Platz auf der Leiterplatte oft für eine Kennzeichnung aller Bauelemente nicht mehr aus. Die Namen und die Markierungen für den Platzbedarf insbesondere zweipoliger Bauelemente müssen dann weggelassen werden.

Am CAD-System muß dann zusätzlich ein Bestückungssystem erstellt werden, dem die Position, die Lageorientierung und die Bezeichnung aller Bauelemente entnommen werden kann.

Designregeln für den Bestückungsdruck

Regel (Datensatz)

Der Datensatz für den Bestückungsdruck enthält nur die Bauelementsymbole und Texte, die tatsächlich auf der Leiterplatte aufgedruckt sein sollen. Textgröße und Linienbreite des Bestückungsdruckes müssen für Menschen lesbar sein.

Regel (Linienbreite)

Der Bestückungsdruck muß zweifelsfrei lesbar sein können.

Die Linienbreite soll 200µm nicht überschreiten.

Empfehlung:
Eine Linienbreite von 150µm.

Regel (Textgröße)

Die Textgröße soll 1.14mm (~45mil) nicht unterschreiten.

Empfehlung:
Eine Textgröße von 1.3mm (~55mil).

Sicht auf den Bestückungsdruck während der Einbringung ins CAD-Layout und auf der Leiterplatte

AK Design Chain für elektronische Devices

12.06.2017 Arnold Wiemers, ILFA GmbH, Leiterplattenakademie GmbH

ZVEI:
Die Elektroindustrie

Abziehlack

Auf einer Leiterplatte können definierte Bereiche mit Abziehlack vor der Aufnahme von Lot aus der Lötelle geschützt werden.

Substrat und Aufbringung auf die Leiterplatte

Abziehlack ist ein thermisch härtender 1-Komponenten-Lack, der im Siebdruckverfahren aufgebracht wird. Der Lack ist dickflüssig und wird mit einem Sieb mit großen Maschenöffnungen gedruckt. Die darstellbaren Strukturen sind deshalb recht grob.

Aufgabe des Abziehlacks

Der Abziehlack soll metallisierte Bohrungen und freilegende metallische Flächen abdecken, beim Wellenlöten nicht mit Lot verfilzt oder benetzt werden dürfen. Diese Anforderung tritt bei Baugruppen auf, die doppelseitig mit THT-Bauteilen bestückt werden sollen und/oder, die metallisierte Befestigungsbohrungen/-schlitze enthalten.

Nach dem ersten Wellenlötlag würden diese offene Bohrungen/Schlitze der noch unbestückten Bauelemente Lot aufnehmen. Das Bestücken dieser Bauelemente für den zweiten Lötlag wäre dann nicht mehr möglich. Der Abziehlack kann nach dem ersten Wellenlöten händisch wieder abgezogen werden. Bei mehr als einem Lötlag wird der Lack jedoch durch das Ausgasen der Weichmacher verdünnt und dadurch an Elastizität verlieren.

Konstruktion am CAD-System

Die Konstruktion des Abziehlacks erfolgt am CAD-System praktisch immer von Hand. Auf einem freien Layer des CAD-Systems werden die Bereiche gezeichnet, die später auf der Leiterplatte mit Abziehlack überdeckt werden sollen.

Zur besseren Orientierung sollten während der Arbeit am CAD-System insbesondere Befestigungspositionen oder Flächenbereiche (...z.B. Goldstecker) am CAD-Bildschirm immer im Hintergrund mit angezeigt werden.

Der Druck von Abziehlack sollte nur für eine Seite der Baugruppe vorgesehen werden. Jede übliche Leiterplattenoberfläche kann mit Abziehlack bedruckt werden, wenn die zu bedruckende Fläche mechanisch stabil genug ist.

Sicht auf Flächen und Bohrungen

Geometrien am CAD-System für den Abziehlack

AK Design Chain für elektronische Devices

09.03.2018 Arnold Wiemers, ILFA GmbH, Leiterplattenakademie GmbH

ZVEI:
Die Elektroindustrie

Viadruck

Mit dem Viadruck (= Vialflur) werden Via-öffene Bohrungen auf einer Leiterplatte verschlossen.

Substrat und Aufbringung auf die Leiterplatte

Vias können mit einem 1- oder 2-Komponentenlack im Siebdruckverfahren verschlossen werden. Die Lacke können fotolithisch und UV-härtend prozessiert werden.

Anforderungen an den Viadruck

Der Viadruck kann auf einer Leiterplatte mehrere Aufgaben übernehmen. Weil die offenen Bohrungen der Vias durch den Viadruck mit einem Füllsubstrat verschlossen werden, können die (...späteren) Baugruppen für den InCircuitTest mit Vakuum adaptiert werden.

Die hohe Bestückungsdichte moderner SMD-Baugruppen führt unweigerlich zu stark eingeschränkten Freiräumen bei der Entfischung des Layouts am CAD-System. Oft werden dann die Vias für die Verdrängung der Signale zwischen den elektronischen Komponenten so dicht an die Lötflächen herangeführt, daß zwischen Via und Lötfläche kein Lötstopplack mehr vorhanden ist.

Das unweigerliche Abfließen von Lötbaute in eine offene Bohrhülse kann dann zu einer deutlichen Vorschädigung der betroffenen Lötstelle führen, weil sich das Lötmaterial direkt am Pin des Bauelements reduziert.

Ein Füllen der Vias schließt dieses Risiko aus. Der Viadruck verhindert das Eindringen flüssiger und/oder kristalliner Rückstände während der Leiterplatten- und Baugruppenproduktion. Mit Blick auf den langfristigen Einsatz einer Baugruppe wird auch die Aufnahme von Kondensat vermieden.

Ein doppelseitiger Viadruck ist nicht empfehlenswert, weil es beim Druck der Rückseite der Leiterplatte zu Luftfischeln in den Vialhöhlen kommen kann. Der thermische Eintrag beim Löten der Baugruppe kann einen Gasdruck erzeugen, der zu einer lokalen Schädigung (= Hülsebrü) der Hülse führt.

Der einseitige Viadruck soll die Hülsen von Via-Bohrungen bis zu mindestens 75% verschließen.

Ist das für die langfristig zuverlässige Funktion einer Baugruppe nicht ausreichend, dann kann an Stelle des Viadrucks nur eine andere Technologie ausgeführt werden, zum Beispiel das Pluggen von Vias mit Epoxyharz oder Silberleitpaste.

Viadruck in den Korblagerungen einer Leiterplatte

AK Design Chain für elektronische Devices

09.03.2018 Arnold Wiemers, ILFA GmbH, Leiterplattenakademie GmbH

ZVEI:
Die Elektroindustrie

Designregeln für den Lötstopdruck

Regel (Einheitliche Freistellung)

Die Freistellung für alle Lötflächen soll umlaufend einheitlich 50µm betragen. Ausgenommen sind Paßmarken und Aufnahmepositionen für Bestückungsnutzen.

Regel (Lacksteg)

Zwischen benachbarten Lötflächen soll immer ein Lacksteg sein. Die minimale Stegbreite soll 100µm nicht unterschreiten.

Umlaufende einheitliche Freistellung der SMD-Pads

Lacksteg zwischen den SMD-Lötflächen

Regel (Steckerleiste)

PC-Steckerleisten müssen immer vollständig von Lötstopplack freigehalten sein.

Hinweis (Steckerleiste)

Durch die Freihaltung der Steckerleiste von Lötstopplack wird Abrieb beim Stecken auf das Motherboard vermieden.

Lackfreie PC-Steckerleiste

Regel (Randabstand)

Metallische Leiterbildstrukturen sollen von der Leiterplattenkontur einen Mindestabstand von 500µm haben und mit Lötstopplack bedeckt sein.

Hinweis (Randabstand)

Das gilt insbesondere für Kupferflächen. Der Abstand verhindert beim Wellenlöten die Aufnahme von Lot aus der Lötelle.

Von der Kontur zurückgesetzte Metallfläche

AK Design Chain für elektronische Devices

30.03.2018 Arnold Wiemers, ILFA GmbH, Leiterplattenakademie GmbH

Multilayerdokumentation

Die Dokumentation eines Multilayers präzisiert die Leistungsbeschreibung und Reproduzierbarkeit.

Multilayer Dokumentation

Die Notwendigkeit für die Spezifikation von Lagenaufbauten wird bei Weitem noch nicht voll erkannt. Lagenaufbauten müssen bereits vorliegen, lange bevor die CAD-Arbeit beginnt. Eine aussagefähige Analyse der Schaltungsfunktion in der Phase der Schaltplanerstellung ist sonst nicht möglich.

Elementare Abschnitte der Dokumentation

Sobald das Konzept für die Konstruktion einer Baugruppe vorliegt, gibt es für den weiteren Ablauf fünf elementare Abschnitte:

- 1 Erstellen des **Konzeptes** für die Konstruktion eines Gerätes
- 2 Erstellen des **Schaltplanes** und der weiteren Vorlagen für CAD
- 3 Erstellen des **CAD-Layouts** und Weitergabe der Daten an CAM
- 4 Produktion der **Leiterplatten**, Anlieferung an den Baugruppenfertiger
- 5 Fertigung der **Baugruppen**, Funktionstest, Lieferung an den Kunden

Heute muß zum Zeitpunkt der Schaltplanerstellung bereits der verbindliche Multilayeraufbau vorliegen. Wesentliche Eigenschaften der späteren Baugruppe (Echtungssimulation, Funktion, Prozessierbarkeit) sind sonst nicht rechtzeitig zuverlässig berechenbar und planbar.

2008 2004 2000 1990 ◀ Wann liegt der Bauplan vor?

◀ Wann liegt der Bauplan vor?

31.03.2018 Arnold Wimmers, ILFA GmbH, LeiterplattenAkademie GmbH

Regel (inhalt einer Multilayerdokumentation)

Die Dokumentation eines Multilayers sollte maßstabsgerecht sein. Empfohlen ist 1:100. Der Multilayerbauplan muß Auskunft geben über die eingesetzten Materialien, über die Materialauswahl, über physikalische Anforderungen und über die Zuordnung der Files zu den diskreten Lagen.

Regel (Multilayerbezeichnung)

Multilayer müssen eine eindeutige Artikelbezeichnung haben, die eine Vernechtung in der Logistik der Dokumentation eines Baugruppenprojektes ausschließt.

Beispiel

Dokumentation eines Multilayeraufbaus.

Zur **Mindestdokumentation** einer Leiterplatte gehört die Auskunft über:

- 1) Die **Qualität** und die **Quantität** des eingesetzten Materials
- 2) Die **technischen Parameter** des eingesetzten Basismaterials
- 3) Die **Leiterplattenspezifikation** inklusive der Subqualitäten
- 4) Die **CAD-Constraints** mit den Extremwerten für das Routing
- 5) Die **elektrophysikalischen Eigenschaften** der Leiterplatte
- 6) Die **wichtigsten Volumenparameter** für die Baugruppenproduktion

27.04.2018 Arnold Wimmers, ILFA GmbH, LeiterplattenAkademie GmbH

Materialspezifikation

Die Materialeigenschaften müssen im Detail zuverlässig belegt sein. Die präzise Nomenklatur der Materialien ist unverzichtbar. Die technischen Eigenschaften der Basismaterialien müssen zweifeltfrei in der zugehörigen Dokumentation aufgelistet sein.

Referenzen zu Standard-Richtlinien sind notwendig (z.B. DIN EN, IPC). Die Angabe elementarer physikalischer Eigenschaften ist notwendig.

Material per PCB	#	Glass	Resin	Pressed Thickness	Company	
Prepreg	NP-155fb	4	100	SR 70%	4µm +/- 0,1µm	NanYa
Prepreg	NP-155fb	4	1000	MR 67%	7µm +/- 0,1µm	NanYa
Core	NP-100f	2	n.a.	n.a.	30µm	NanYa
Core	NP-155fb	1	n.a.	n.a.	710µm	NanYa

Main Material Properties

IPC-Specification sheet IPC-4101C / 124
Epoxy-System FR4
Curing agent phenolic
Flame retardant mech. RoHS compliant Bromine
UL-recognize
Dielectric value 4.1@1GHz
Loss tangent 0.014@1GHz
Tg 155° by DSC / TMA before Tg: 151/150
after Tg: 151/150
40 K/min minimum
Electrical strength 0.78 n/mm minimum for copper foils >17µm
Adhesive strength

Technolan Data sheet, NanYa, May 2010

Beispiel UL

Wenn „UL“ eine Qualität der Leiterplatte sein soll, dann muß die Zertifizierbarkeit bekannt sein.

Beispiel Loss Tangent and Dielectric Value

Wenn die Signalzeit und die Übertragungsqualität vorrangig simuliert werden sollen, dann müssen diese Parameter vor Beginn der Layoutarbeit bereits bekannt und fixiert sein.

Beispiel Tg, Td and CTE(z)

Wenn das Reflowprofil gezielt definiert werden soll, dann müssen die thermische Belastbarkeit und die Z-Achsen-Ausdehnung der Leiterplatten zuverlässig eingeschätzt werden können. Es sind Leitwerte notwendig.

27.04.2018 Arnold Wimmers, ILFA GmbH, LeiterplattenAkademie GmbH

PCB und CAD-Spezifikation

Jeder Multilayer ist heute praktisch mit einer verbindlichen Anwendung verknüpft. Die technischen Eigenschaften eines individuellen Aufbaus müssen durch die Dokumentation der Anforderungen an die Qualität der Leiterplatte nicht nur beschrieben, sondern auch jederzeit zuverlässig nachvollziehbar offengelegt werden. Nur mit einer aussagefähigen Dokumentation wird im Fall einer Layout-Revision die Wiederholbarkeit der Produktion einer Leiterplatte (...+ Baugruppe) zuverlässig sichergestellt.

PCB & CAD-Layout Specification

PCB Class	Rigid
Cores mounted	Inside
Copper Thickness	25µm for through-hole barrels
Through-hole Vias	CAD : 100µm diameter + 400µm pad minimum Tool : 200µm diameter minimum 1:8 or better is necessary
Aspect-Ratio	
BuriedVias	no
BlindVias	no
Track width	100µm minimum on all signal layers
Track distance	90µm minimum on all signal layers
Solder Mask	double sided, photolithographic, thickness 20µm
Plugging	
Edge Metallisation	no

Dokumentation der PCB- und CAD-Layout-Spezifikation

Beispiel Viadurchmesser und Aspect-Ratio

Das „Aspect-Ratio“ bestimmt den minimalen Viadurchmesser, der seinerseits die geometrischen Freiheitsgrade für das CAD-Layout fixiert. Weil per Definition eine Verknüpfung zwischen der kontaktierbaren Hohlmenge und dem Bohrwerkzeugdurchmesser besteht, ist durch die Dicke der Leiterplatte der kleinstmögliche Viadurchmesser vorgegeben. Das „Aspect-Ratio“ ist individuell abhängig von der Anlagentechnologie des Leiterplattenherstellers.

Beispiel Leiterbahnbreite und Leiterbahnabstand

Die minimal prozessierbare Leiterbildgeometrie gibt ebenfalls die zuverlässig nutzbaren Freiheitsgrade für das CAD-Layout vor und ist ebenfalls abhängig von der Anlagentechnologie des Leiterplattenherstellers.

27.04.2018 Arnold Wimmers, ILFA GmbH, LeiterplattenAkademie GmbH

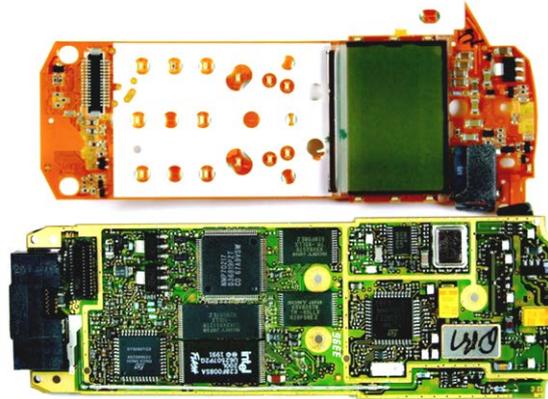
Arnold Wiemers

Gruppe 8 Produktbeispiele für konkrete Aufgaben

Gruppe 8 : Produktbeispiele für konkrete Aufgaben

Die elementaren Designregeln für die Konstruktion und Fertigung von Leiterplatten sind variantenreich und zunehmend von Nebenbedingungen geprägt.

Die interdisziplinäre Beschreibung von detaillierten Produktbeispielen löst diese Komplikation.



Gruppe 8 : Produktbeispiele für konkrete Aufgaben

Leiterplattendokumentation / einseitig Baugruppen auf der Basis einseitiger Leiterplatten gelten als einfach. Ein Konzept ist jedoch unerlässlich.

ZVEI:
Die Elektroindustrie

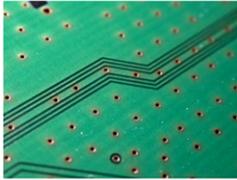


Bild 8 Coplanare differentielle Impedanz
(...hier auf einer ds-Leiterplatte)

Die dielektrische Umgebung einer Leiterbahn legt die Übertragungsgeschwindigkeit eines Signals fest. Leiterbahnen auf einer einseitigen Leiterplatte aus FR4-Material sehen an ihrer Basis das Dielektrikum des Materials mit einem Epsilon-R von 3.5 bis 4.5. Über der Leiterbahn ist Luft mit einem Epsilon-R von 1.0 per Definition. Die Übertragungsgeschwindigkeit nimmt zu, wenn der Wert für das Dielektrikum abnimmt. Weil eine außenliegende Leiterbahn zwischen Basismaterial und Luft eingebettet ist, reduziert sich das effektive Epsilon-R und in Folge nimmt die Übertragungsgeschwindigkeit zu.

In der Praxis ist dadurch ein Signal auf einer einseitigen Leiterplatte aus FR4 schneller, als auf der Innenlage eines FR4-Multilayers.

Geometrien für Pads und Tracks

Das Routing einseitiger Leiterplatten muß die Technologien für die Produktion von Leiterplatten- und Baugruppen beachten. Für die Fertigung der Leiterplatten sind der Bohrerzeugerdurchmesser, der Restring der THDs und der Vias, die Leiterbahnbreite und die elektrischen Sicherheitsabstände wichtig.

Für die Fertigung der Baugruppe sind der Restring, der Durchmesser der THD-Pads und die mechanischen Abstände zwischen den Bildstrukturen ausschlaggebend. Mit der Berechnung der Geometrien werden die Werte für die Anlage der THDs in der CAD-Bibliothek festgelegt sowie die Constraints für das Routing am CAD-System. Die in der Tabelle ausgewiesenen Werte sind als minimaler Standard zu verstehen.

Wert	Parameter	Verwendung
600µm	Viabohrung, Bohrwerkzeug	CAD-Layout / LP-Fertigung
1200µm	Viapad	CAD-Bibliothek / Routing / LP-Fertigung
300µm	Restring	CAD-Layout / LP-Fertigung
800µm	THD-Bohrung, Bohrwerkzeug	CAD-Layout / LP-Fertigung
1800µm	THD-Pad (Bohrung+1000µm)	CAD-Bibliothek / Routing / LP-Fertigung
500µm	THD-Restring	CAD-Layout / LP-Fertigung
150µm	Leiterbahnbreite	CAD-Layout / LP-Fertigung
150µm	Sicherheitsabstand (drc)	CAD-Layout / LP-Fertigung / Bestückung

22.08.2016 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

ZVEI:
Die Elektroindustrie

8.4 Konstruktion starrer einseitiger Leiterplatten

Die Anforderungen an Alltagslösungen sind üblicherweise durch den direkten Nutzen der elektronischen Baugruppe geprägt. Viele Aufgabenstellungen können mit einseitigen Leiterplatten gelöst werden. Einseitige Leiterplatten sind in der Herstellung unkompliziert, preiswert, weltweit verfügbar und von beachtlichem Leistungsspektrum.

Anwendungen für einseitige elektronische Baugruppen

Fernbedienug

Elektronische Geräte können oft mit einer Fernbedienug gesteuert werden. Bild 1 zeigt eine Fernbedienug für einen Fernseher auf der Basis einer einseitigen Leiterplatte. Durch den Aufdruck von Carbon wird die Funktion einer einfachen doppelseitigen Leiterplatte erreicht, auf der eine Schaltmatrix untergebracht ist. Die Bestückung einer Taste wird von einem Chip ausgewertet und als Handlungsanforderung an den Fernseher gesendet.

DVBT-Antenne

Damit Fernsehbilder empfangen werden können, müssen Antennen eingesetzt werden. Bei der in Bild 2 gezeigten stationären DVBT-Tischantenne wird die Signalaufbereitung auf einer einseitigen Leiterplatte durchgeführt.

Fahrradbeleuchtung

Die Fahrradbeleuchtung in Bild 3 besitzt einen Blinkmodus, der für die Aufmerksamkeit der anderen Verkehrsteilnehmer sorgt und damit zur Sicherheit im Straßenverkehr beiträgt.

Bild 1 Fernbedienug für einen Fernseher

Bild 2 Tischantenne für den Empfang des digitalen Fernsehens (DVBT)

22.08.2016 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

ZVEI:
Die Elektroindustrie

Die Oberfläche soll ein guter elektrischer Leiter sein, darf aber andererseits nicht korrodieren. Das Material muß lötlös sein und dabei Temperaturen von bis zu 300° aushalten ohne dabei Schäden zu nehmen. Es soll durch entstehende Wärme während des Baugruppenbetriebs nicht zur Selbstentzündung kommen. Bei Dauerbetriebs temperaturen von 90° sollen aber auch langfristig keine Materialausfälle auftreten. Bei einer Bestückung mit SMD-Bauteilen (i.e. Surface Mounted Devices = oberflächenmontierte Bauteile) soll die Klebkraft / Haftkraft zwischen Kupferfolie und Basismaterial ausreichen, um Stöße und Vibrationen schadfrei zu überstehen.

Die dielektrischen Eigenschaften des Basismaterials sollen eine zuverlässige Isolation gegen Kurzschlüsse und ungewollten Stromfluß bieten.

Nicht zuletzt soll das Material beliebig verfügbar und preiswert sein.

Diese Anforderungen sind offensichtlich vielfältig und es gibt heute einen fast unerschöpflichen Variantenreichtum bei Basismaterialien. Neben den technisch-physikalischen Eigenschaften von Basismaterialien ist zu beachten, mit welchem Produktionsaufwand das Material gehandhabt werden kann. Das betrifft insbesondere die Verarbeitungsmöglichkeiten durch Bohren, Fräsen und Stanzen.

Basismaterialien werden entsprechend ihrer stofflichen Zusammensetzung gruppiert. Die wichtigste Gruppe ist heute FR4. Weitere Gruppen sind CEM1/CEM3 sowie FR2 (Bild 5).

FR4 ist vollständig aus einer bis zu mehreren Glasgewebeschnitten aufgebaut, die mit Epoxidharz beschichtet sind. Das Material ist sehr stabil und kann erhebliche Biegebelastungen aushalten.

FR2 ist ein phenolisches getränktes Preßverbundmaterial mit homogener Struktur aber geringer Biegebelastbarkeit. Das Material ist relativ weich aber spröde, und bricht leicht, wenn es mechanischen Spannungen ausgesetzt wird.

CEM1 hat einen Kern aus mit Epoxidharz getränktem Zellulosepapier (Bild 4).

Bild 4 Montierte Baugruppe aus CEM1 (weiß-beige) und FR4 (grün)

Bild 5 Beschichtete Bauteile auf einer Leiterplatte aus FR2-Material

22.08.2016 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

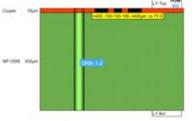
ZVEI:
Die Elektroindustrie

Der Lagenaufbau für einseitige Leiterplatten

Der Lagenaufbau für eine einseitige Leiterplatte muß die Anforderungen an die Funktion und die Geometrie beschreiben.

LeiterplattenAkademie A01771_000003_0001

Material	Stärke	Vias	Parameter	Layer
0.175mm	0.175mm	0.175mm	0.175mm	0.175mm



Getlungsbereich

Gültig für alle starre, einseitige Leiterplatten.

Querverweise

Einseitige Leiterplatte, Einseitige Baugruppe, Lagenaufbau, Signalintegrität, Highspeed-Leiterplatten, Impedanzdefinierte Übertragungsleitungen, Basismaterial, Baugruppenproduktion.

22.08.2016 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

Gruppe 8 : Produktbeispiele für konkrete Aufgaben

Leiterplattendokumentation / Highspeedmultilayer "First Time Right". Das geht, wenn die Möglichkeit besteht, auf der Basis konkreter Konzepte zu lernen.

ZVEI:
Die Elektroindustrie

Konstruktion eines Highspeed-Boards

Der Transfer von Informationen muß schnell und zuverlässig erfolgen, wenn die Anforderungen an die Leistungsfähigkeit von CPU-Boards erfüllt werden sollen.

Diese Aufgabenstellung ist nur mit einer ganzheitlichen Vorgehensweise lösbar. Die Konstruktion des CAD-Layouts muß mit einer funktionalen Geometrie durchgeführt werden. Der Aufbau des Multilayers für ein Highspeed-Board muß diese Geometrie umsetzen können.

Aus physikalischer Sicht sind die Signalintegrität, die Powerintegrität und das allgemeine EMV-Verhalten der späteren Baugruppe zu beachten.

Ausschlaggebend für eine analytische Vorberachtung ist immer die Geometrie der komplexesten elektronischen Komponente. Die nachfolgende Beschreibung geht von einem BGA mit einer 25x25 Matrix bei einem 800er-Pitch aus.

Routing des BGA's

Im CAD-Layout lassen sich die beiden äußeren Reihen des BGAs direkt in der Schaltung verdrähten, ohne daß ein Kontaktieren notwendig ist. Der innere Bereich des BGAs kann nur über Vias verdräht werden. Um den verfügbaren Platz für die Leiterbahnen zu maximieren, werden die Vias in 4 ausgeleiteten Quadranten platziert, die von der Mitte des BGAs wegführen. Dadurch entstehen zwischen benachbarten Quadranten Kanäle, die für das Routing der Leiterbahnverbindungen genutzt werden können.

25x25 Matrix des BGAs mit Überdrähtung der äußeren Reihen
Ausleitung der Fanout Vias in 4 Quadranten schritt V-Quadrat

25.08.2014
Arnold Wiemers, IFA GmbH / LeiterplattenAkademie GmbH

ZVEI:
Die Elektroindustrie

Routing für Layer LY-4

Die inneren Reihen AA, aa, Y und die Spalten 5 und 6 lassen sich auf dem dritten Signallayer routen.

Ein Routing von Übertragungsleitungen im Modus SingleEnded und/oder differential ist möglich.

Die Layer LY-2 und LY-5 sind mit GND belegt und dienen als Referenz für den Rückstrom und die Impedanz.

Routing für Layer LY-11

Die inneren Reihen E und F und die Spalten 20 und 21 lassen sich auf dem vierten Signallayer routen.

Ein Routing von Übertragungsleitungen im Modus SingleEnded und/oder differential ist möglich.

Die Layer LY-10 und LY-13 sind mit GND belegt und dienen als Referenz für den Rückstrom und die Impedanz.

Routing für Layer LY-12

Die inneren Reihen W, G und die Spalten 7, 19 lassen sich auf dem fünften Signallayer routen.

Ein Routing von Übertragungsleitungen im Modus SingleEnded und/oder differential ist möglich.

Die Layer LY-10 und LY-13 sind mit GND belegt und dienen als Referenz für den Rückstrom und die Impedanz.

25.08.2014
Arnold Wiemers, IFA GmbH / LeiterplattenAkademie GmbH

ZVEI:
Die Elektroindustrie

Routing für Layer LY-Bot

Die Reihen V, H und die Spalten 8 und 19 lassen sich auf dem sechsten und äußeren Signallayer routen.

Ein Routing von Übertragungsleitungen im Modus SingleEnded ist möglich.

Der Layer LY-13 ist mit GND belegt und dienen als Referenz für den Rückstrom und die Impedanz.

Geometrien für Pads and Tracks

Das Routing des BGA's muß die Leiterplatten- und die Baugruppenproduktion beachten.

Für die Fertigung der Leiterplatten sind der Bohrwegdurchmesser, der Resting des Vias, die Leiterbahnbreite und die elektrischen Sicherheitsabstände wichtig. Für die Fertigung der Baugruppe sind der Durchmesser des BGA-Pads und die mechanischen Abstände zwischen den Bildstrukturen ausschlaggebend.

Für die einzelnen geometrischen Elemente gibt es den folgenden Zusammenhang:

Diagonale $a_{diag} = \text{Pitch} \cdot \sqrt{2} = 1131\mu\text{m}$
 $= 400\mu\text{m BGApad} + 2 \cdot 115,5\mu\text{m Sicherheitsabstand}$
 $= 200\mu\text{m ViaEDM} + 2 \cdot 150\mu\text{m Resting}$

25.08.2014
Arnold Wiemers, IFA GmbH / LeiterplattenAkademie GmbH

ZVEI:
Die Elektroindustrie

Mit der Berechnung der Geometrien werden die Werte für die Anlage des BGA's in der CAD-Bibliothek festgelegt sowie die Constraints für das Routing am CAD-System.

Wert	Parameter	Verwendung
400µm	Durchmesser des BGA-Pads	CAD-Bibliothek / Bestückung / Routing
500µm	Durchmesser Lotpaste BGA-Pad	CAD-Bibliothek / Bestückung
300µm	Viabohrung, Bohrwerkzeug	CAD-Layout / LP-Fertigung
200µm	Via-Enddurchmesser	CAD-Layout / LP-Fertigung
500µm	Viapad	CAD-Bibliothek / Routing / LP-Fertigung
150µm	Resting	CAD-Layout / LP-Fertigung
100µm	Leiterbahnbreite	CAD-Layout / LP-Fertigung
150µm	Sicherheitsabstand	CAD-Layout / LP-Fertigung / Bestückung

Legenaufbau

Der Legenaufbau des Multilayers muß die Anforderungen an die Funktion und die Geometrie umsetzen.

LeiterplattenAkademie RI/AT1.55cc50-T7c100-T7B1

Material	Stack-Up	Vias	Parameter	Layer
Plated	25µm			LY-Top, SIG, SGP, SLD
Copper	17µm			
NP-1508	50µm	106 30R 70Z	100-125 100µm, 4 100 0	100µm, 35 02
NP-1508	75µm	106 30R 70Z	115-110 100µm, 4 90 0	
NP-1508	100µm	106 30R 70Z		LY-2 GND
Copper	17µm			
NP-1508	75µm	106 30R 70Z	100-115 100µm, 4 100 0	LY-3 SIG
Copper	17µm			
NP-1508	100µm	106 30R 70Z	100-225 100µm, 4 100 0	LY-4 SIG
Copper	17µm			
NP-1508	75µm	106 30R 70Z	100-115 100µm, 4 90 0	110µm, 4 02
NP-1508	100µm	106 30R 70Z		
Copper	17µm			LY-6 GND
NP-1508	75µm	106 30R 70Z		LY-6 VCC
Copper	17µm			
NP-1508	75µm	106 30R 70Z		LY-7 GND
Copper	17µm			
NP-1508	75µm	106 30R 70Z		LY-8 VCC
Copper	17µm			
NP-1508	75µm	106 30R 70Z		LY-9 GND
Copper	17µm			
NP-1508	75µm	106 30R 70Z		LY-9 VCC
Copper	17µm			
NP-1508	75µm	106 30R 70Z		LY-10 GND
Copper	17µm			
NP-1508	75µm	106 30R 70Z	100-115 100µm, 4 100 0	100µm, 35 02
Copper	17µm			
NP-1508	75µm	106 30R 70Z	100-225 100µm, 4 100 0	LY-11 SIG
Copper	17µm			
NP-1508	100µm	106 30R 70Z		
Copper	17µm			
NP-1508	75µm	106 30R 70Z	100-115 100µm, 4 90 0	LY-12 SIG
Copper	17µm			
NP-1508	75µm	106 30R 70Z	100-100 100µm, 4 100 0	LY-13 GND
Copper	17µm			
NP-1508	50µm	106 30R 70Z	100-125 100µm, 4 100 0	200µm, 4 02
Plated	25µm			LY-Bot, SIG

Konstruktion des Multilayers

Für ein BGA mit einer voll belegten Matrix von 25x25 Spalten und Reihen sind maximal 6 Signallayer für das Routing erforderlich. Für GND sind 5 Lagen vorgesehen, für VCC insgesamt 3 Lagen.

Die GNDs sind so verteilt, daß Impedanzen und Rückströme definiert sind.

Durch die Kombination von vier GND-VCC-Paaren stehen interne Kapazitäten im Multilayer für eine effektive Stromversorgung zur Verfügung.

Der Aufbau bietet maximale Stabilität wenn die BGA-Leistung voll in Anspruch genommen wird.

25.08.2014
Arnold Wiemers, IFA GmbH / LeiterplattenAkademie GmbH

Markus Biener

Gruppe 5 / 6 Baugruppenproduktion / -prüfung

Baugruppentehnologie : Dokumente des AK Design

Druckverfahren für Lotpaste: Es werden die unterschiedlichen Verfahren und die Vor- / Nachteile und Einschränkungen beschrieben.

Schablonendruck

Der Schablonendruck erfüllt die Aufgabe, Lotpaste mit Hilfe einer Schablone und eines Rakels auf die Leiterplatte zu applizieren, um eine elektrische Verbindung zwischen Rück- und Leiterplatte herstellen zu können. Das Schablonendruckverfahren stellt ein stabiles Verfahren dar, bei dem mit Hilfe eines Rakels die Lotpaste durch die Aperturen (Öffnungen) der Schablone gedruckt wird. Dies kann sowohl mechanisch, halbleitendisch oder vollautomatisch mit einem Siebdrucker erfolgen. Neben dem Schablonendruckverfahren kann die Lotpaste auch über ein Dispensverfahren oder über ein Jet-Printing-Verfahren aufgebracht werden.

Die Schablonen können aus unterschiedlichen Materialien bestehen, jedoch werden in der Mehrzahl Edelstahlbleche eingesetzt, gefolgt von Nickel und Polymer (Kunststoff/Photopolymer). Das Layout (Lochbild/Aperturen) der Schablone wird durch die Leiterplatte bestimmt und wird hauptsächlich durch ein Laserschneidverfahren hergestellt, kann aber auch durch ein Ätzverfahren (ungesund und hat an Bedeutung verloren) hergestellt oder durch ein galvanisches Verfahren aufgebaut werden.

Laserschneidverfahren

Beim Laserschneidverfahren werden die Öffnungen (Lochbild) mit Hilfe eines Faserlasers in die Schablone geschritten. Der Faserlaser zeichnet sich durch eine deutlich bessere Strahlqualität aus, mit einem Schnittspalt von nur 20µm und einem reduzierten Wärmebeitrag in das Material. Das heißt, die Karten sind weniger rau mit exakter Schnittqualität.

- Genauigkeit der Aperturgrößen ±10µm
- Positionengenauigkeit <±10µm

Die leicht konische Öffnung erleichtert das Auslösen der Lotpaste aus der Schablone. Die Öffnungsdimensionen eines Laserschrittes sind definiert wie folgt:

Laserschneidverfahren
Quelle: LaserJob

Öffnungsgrenzen eines Laserschrittes
Quelle: LaserJob

Bei allen Laserschneidverfahren Schablonen muss die Grad auf der Rakelkante (Laserschneidkante) entfernt werden. Dies kann durch zwei Verfahren vorgenommen werden.

- Mechanisches Bürstverfahren
- Vorteile:
 - keine Vergrößerung der Apertur
 - geringer Materialabtrag
 - gleichbleibende Blechdicke
- Elektropolieren
- Vorteile:
 - Glatte Wandungen

20.08.2017 rev 0
Cernine Litzsch, LaserJob Bild07_PVEI

Designregeln

Das aufgetragene Lotpastenvolumen wird hauptsächlich durch die Größe der Aperturen und die Schablone bestimmt. Das Auslöseverhalten der Lotpaste aus der Schablone hängt von folgenden Faktoren ab:

- Aspekt- und Flächenverhältnis
- Wandungs- bzw. Aperturgeometrie
- Beschaffenheit der Aperturwandung

Die Formel zur Berechnung des Flächenverhältnisses lautet wie folgt:

Layoutrichtlinien und Designvorgaben nach IPC 7525B

Aspect ratio = 1.5
Area ratio = 4.66
Area ratio (krit.) > 0.66

Layoutrichtlinien und Designvorgaben nach IPC 7525B

Dabei beeinflusst die Körnung der verwendeten Lotpasten das Auslöseverhalten und muss an die Größe der Apertur angepasst werden. Als Faustregel dient folgende Vorgabe

20.08.2017 rev 0
Cernine Litzsch, LaserJob Bild07_PVEI

6.2.2.3 andere Druckverfahren / Jet Printing

Allgemeines

Alternativ zum Auftrag der Lotpaste mittels Schablone bzw. Siebvorlage, gibt es die Möglichkeit die Paste kontaklos aufzutragen. Dieses Verfahren ist relativ neu und bietet durch die ständige Weiterentwicklung eine interessante Alternative.

Unterschiede Jetten & Dispensen

Dottergenierung beim Dispensieren:
Beim Dispensprozess wird das aufzutragende Liquid aus der Dispensemaschine gedruckt und somit der Kontakt mit dem Medium zum Board hergestellt. Bei einer schnellen Aufwärtsbewegung der Dispensemaschine wird dann das Medium getrennt, sodass sich ein Dot auf dem Board formen kann.

Folgende Faktoren beeinflussen das Dotvolumen:

- Abstand Dispensemaschine zur Substratoberfläche
- Nadelgröße
- Vernetzzeit
- Rückfahrtschwindigkeit
- Materialcharakteristika
- Oberflächenspannung
- ...

Jetting bedeutet einen kontaktslosen Auftrag:
Die Separation des Mediums in einzelne Dots wird durch die Ausstosskraft der Druckereinheit und nicht durch die Oberflächenspannung des Substrates verursacht.

JetPrinting – wie funktioniert das

Bei der „Jetting-Technologie“ erfolgt der Lotpastenauftrag ohne Schablone. Es werden während der Druckkopf verläuft Lotpastenpunkte „verschossen“. Je nach Maschinen bzw. Anlagenkonfiguration können bis zu 1.000.000 Dots / Stunde erzeugt werden. Die Technologie funktioniert wie ein Drucker. Die Lotpaste wird in einer Kartusche eingesetzt. Der Header besitzt einen ID-Chip, mit dem automatisch die Maschinenparameter konfiguriert werden. Des verhindert Bedienfehler und ein sekundenschneller Wechsel der Medien (Lotpaste, Kleber) wird so möglich. Der Druckkopf kann automatisch kalibriert werden. Des Weiteren wird durch eine Temperaturkontrolle eine geregelte Prozess Temperatur eingestellt. Dadurch wird die optimale Viskosität des Mediums eingestellt.

20.08.2017 Seite 2 von 2
Thomas Brand / electronic service wilms (esw)

Software

Die Jobgenerierung erfolgt über einen offline Programmierplatz mit anschließender Übertragung auf die Maschine. Zur Programmerstellung benötigt man Gerber bzw. ODB++ Daten. Über einen Algorithmus kann das Programm automatisiert erstellt werden. Für das Fine-tuning der Parameter kann die Erfahrung des Mitarbeiters eingebracht werden. Jedes einzelne Pastendepot kann optimiert werden in:

- Volumen
- Position
- Höhe
- Kontur
- Padfläche

Das Optimieren des Pastenvolumens ist ein großer Vorteil gegenüber dem Schablonendruck.

- Schablonendrucker
 - Abhängig von der Schablonestärke, entstehen unterschiedliche Lotpastenvolumina auf den Boards
- MY500 Jet Printer
 - Programmierbares Lotpastenvolumina / Pad
 - Wiederholbarer Prozess

Jet printed deposit for 0.4mm-GFP
The volume is programmed individually and is repeatable.

Paste volume for 0.4mm GFP when using 0.125 mm stencil
Paste volume for 0.4mm GFP when using 0.150 mm stencil

Neue Design Möglichkeiten

Durch den Einsatz bzw. ergänzenden Einsatz dieser Technologie ergeben sich neue Freiheitsgrade in der Produktion. Bei der Bestückung von Package auf Package eröffnen sich neue Möglichkeiten.

Schablonendruck oder JetPrinting der PCB
Bestückung der Baugruppe (Bauteil)
Lotpastenauftrag im JetPrinting Verfahren auf der Oberseite des Bauteils. Laser-Hohlräumen zur Höhenanpassung
Bestückung des Bauteiles an Top des zuerst bestückten Bauteils.
Reflow Prozess

01.08.2017 Seite 2 von 3
Thomas Brand / electronic service wilms (esw)

Baugruppenttechnologie : Dokumente des AK Design

Baugruppenttechnologie / Trennverfahren: Es werden die unterschiedlichen Verfahren und die Vor- / Nachteile und Einschränkungen beschrieben.

Nutzengestaltung von elektronischen Baugruppen

Allgemeines
Um eine automatisierte und ökonomische Produktion entlang der Wertschöpfungskette zu ermöglichen, werden Einzelplattenteile in einen Nutzen produziert.
Beispiele für Vorteile eines Nutzens sind:
- Automatisierung beim Bestücken und bei Folgeprozessen
- Reduzieren des Handlingsaufwands der Produktion
- einfachere Regulierung mehrerer Leiterplatten bei notwendigen Baugruppenvarianten
- effektive Bearbeitung besonders bei kleineren Leiterplatten

Um eine einheitliche Sprache zu definieren ist der Begriff des „Nutzens“ festzulegen, da Leiterplattenhersteller und Fertigungsproduzent oftmals verschiedene Bezeichnungen verwenden (z. B. Panel, Produktionsnutzen, Prüfnutzen, Produktionszuschnitt, Zuschnitt, Nutzfahnen, Bestückungszufuhr...). Das verwendete Trennverfahren und die Produktionsumgebung wird von PCB Designern in Verbindung mit der Baugruppenproduktion unter Berücksichtigung der LP Herstellervorgaben, bereits beim Leiterplattenentwurf spezifiziert. Somit können alle Beläge (Randabstände, Bauteilbezeichnungen, Trennlogik, Nutzeranforderung, Herstellungsgabefaktoren, Nutzeranforderungen...) bereits im ersten Musterstand umgesetzt werden.

Fertigungsablauf in der Leiterplattenproduktion
Die CAD Daten werden im Normalfall als Einzelkaltplatte ausgegeben. Hierbei ist der Ausgabeformat - dateiformat mit dem Lieferanten abzustimmen, um unnötige Rückfragen zu vermeiden. Im Datensatz sollten bereits die Nutzervorgaben enthalten sein. Wenn hier keine Vorgaben gemacht werden, so kann in Abhängigkeit mit dem Lieferanten ein Nutzen festgelegt werden, welche die bereits bestehenden Designvorgaben mit den besten nachkommen. Bei dieser Vorgangsweise können allerdings Kompromisse notwendig werden, die sich wiederum im Preis niederschlagen. Die Produktion erfolgt in besten Formaten (690 x 810mm) für die Materialbreite. Eine bestmögliche Auslastung eines Zuschnittes beeinflusst maßgeblich die Kosten der Restleiste. Zu beachten ist, dass auch für die LP Herstellung Sonderanforderungen notwendig sind, welche die effektive Fläche verkleinern. Eine Abstimung mit dem Hersteller bringt hier die optimalen Ergebnisse. Dies wiederum ist zu erwähnen, dass Hersteller auch „heller“ Zuschnitte zum Beispiel bei der Mustererstellung verwenden. Generell orientieren sich die Zuschnittmaße auch am Basismaterialgröße.

Wenn nun die Unterlagen übergeben und abgestimmt sind, werden in der CAD die Einzelzeichnungen mit den Step und Repeat Funktionen ein Panel angelegt. Diese Step und Repeat Daten sind wiederum für den Baugruppenproduzenten wichtig, da dieser für die Maschinenprogrammierung und Produktionsanforderung (Schubhöhe, Lötformen...) notwendig sind.
Zusätzlich zu den Einzelteilen werden bedingt durch die Produktionsdruck und des Design Galvanikdruck, Fiducials, Kameranummern, Lagerkennungen, Testlotpunkte... angebracht.
Nach der optischen Produktion wird aus dem Panel der Anliefernutzen für den Baugruppenproduzenten herausgetrennt.

30.06.2017 Markus Bienen, Zoller Elektronik AG

Fertigungsablauf in der Baugruppenproduktion
Für die Baugruppenproduktion ist der Nutzen so auszugestalten, dass u. a. ein zuverlässiger Transport (mechanische Stabilität) sichergestellt werden kann. Stütze wie Maschinen- bzw. Prozessparameter (Transportketten, Kameraindustriestand, Nutzdrücker, Fiducials, Lötöffnung, Platz für Trennwerkzeuge...) sind zu beachten. Die Anzahl der Einzelzeichnungen im Nutzen bleibt direkt im Handbuchsaufruf und die Durchlaufzeit ein und ist somit auch preselbstmessend.
Um den Platz auf einem Produktanpassung optimal auszunutzen zu können, ist es auch möglich, unregelmäßig geformte Leiterplatten, z.B. L-förmig oder T-förmig, auf einem Nutzen mit 90° oder 180° gedreht zueinander anzuordnen. Da Leiterplatten aber durchaus Vorgusschichtungen beim Vakuumdruck und beim Weiterlöten aufweisen, sollte überprüft werden, ob diese Vorgehensweise auch einen optimalen Bestückungsprozess gewährleistet.
Da Maschinen (Family Print) werden Nutzen bezeichnet, die verschiedene Leiterplatten mit identischem Lageraufbau und identischer Herstellungstechnologie erzeugen. Die Motivation dafür ist eindeutig, es werden nur einmal Einmalnutzen Leiterplatten berechnet und es wird bei einer einzelnen SMT bestücken (Leiterplatte) auch nur eine Schichtbohle benötigt. Falls aber mit dem Geräteratsatz für den Nutzen mehrere Stücklisten und mehrere Pick & Place Datenliste bereitgestellt werden, in denen unter Umständen Referenzen mehrfach vergeben sind, müssen diese Datenätze mit Aufwand und Fleißensko von der Arbeitsvorbereitung für die Elektronikfertigung zusammengefasst werden, um dieses Bauteile einzukaufen und ein effektives Nutzen als ein Bestückungsprojekt betrachten zu können. Meistens werden die unterschiedlichen Lieferanten im Nutzen in einen Gerät verteil und diese Lieferanten werden ebenfalls in gleicher Stückzahl bzw. in einem festen Stückzahlverhältnis zueinander benötigt. Belagere der Tackability sind hierbei zu beachten.
In einigen Fällen ist es sinnvoll die Restnutzen einzubringen. Hierzu ist eine Freifläche auf der Leiterplatte zu definieren. In dieser Freifläche ist die Position der Leiterplatte im Nutzen anzugeben. Dies ist vornehmlich, um systematische Fehler im Herstellprozess, sowie beim Bestücken oder Löten erkennen zu können.

Der Data Matrix Code wird auf dem Nutzen und jeder einzelnen Leiterbahn im Nutzen angebracht. Soll der Nutzen vor dem Verzellen geprüft werden, ist die Anbringung einer Rangfolge mit Durchmesser 3 mm (+0,02), sowie im rechten Winkel dazu in x- und y-Richtung jeweils ein Längsloch 2 mm x 3 mm notwendig.
Daneben hinaus erleichtern Einlötschindeln den Transport des Nutzens in verteilten Prozess Stationen.
Die Endanforderungen sind an allen 4 Ecken des Nutzens anzubringen.

Grundsätzlich sind die Toleranzen in den IPC Regelwerke 2212ff zu finden.

30.06.2017 Markus Bienen, Zoller Elektronik AG

Bei der Bauteilplatzung ist zu beachten, dass der Abstand Nutzer zum ersten Bauteil > 2 mm sein muss (gleiches gilt für die optischen Marker)

Mögliche Trennverfahren
Kontur trennen:
Da die Kontur immer kompakter und kleiner werden, oberhalb sich die Kontur einer Leiterplatte immer öfter in der Form des Gehäuses bzw. an die Einbaueinbauten. Das Fräsen ermöglicht Kurven sowie partielle Abschnitte und unterschiedliche Höhenverläufe. Praktisch alle Basismaterialien sind. Metalle können gefräst werden. Dieses Verfahren ist auch während der Herstellung von z. B. Starl-PCB Kombinationen zur Entlastung von Pregeschichten und Starlfrähschichten notwendig. Übt sich hier auch Kombinationen mit Solbrückstellen bzw. Ritztrennungen.
Mit dem Fräsewerkzeug können sowohl Abschnitte als auch Außenkonturen gefertigt werden. Bei der Konstruktion der LP Kontur sind die Mindestabstände an Innencken zu beachten. Eine Abstimmung mit dem LP Hersteller kann hier zu Kosteneinsparung (Paketierung) führen.

Designregel:
Alle Leiterbahnen und Bohrwandungen müssen von der Kontur einen Abstand von ≥ 500µm haben. Die Toleranz hier die Bearbeitung liegt bei max. ± 200µm.
Der kleinste Durchmesser für ein Fräsewerkzeug liegt üblicherweise bei 0,8mm. Standardmäßig werden für die Außenkontur Werkzeug mit einem Durchmesser von 2,0 bzw. 2,4mm eingesetzt.
Da Metallschichten relativ hart sind im Vergleich mit einem Basismaterial, entsteht bei der Bearbeitung ein erhöhter Verschleiß. Der durch den Fräser erzeugte metallische Filter kann zusätzlich zu Schäden in der Oberfläche führen. Deshalb sind beim Design Massivschichten mindestens 200µm von der Kontur zurückzusetzen.
Eine Möglichkeit wäre auch, Teile der Konturführung beim Baugruppenproduzenten durchzuführen. Dieses Verfahren liefert so gut wie keine Kräfte während der Veranlegung in die Baugruppe ein und bietet so ein sehr schonendes Verfahren.
Um Bauteilschichten bzw. Funktionszonen zuzuführen muss um eine Trennstelle, wie in der nachfolgenden Skizze beschrieben ein Schutzbereich eingehalten werden. (Dies gilt insbesondere bei der Trennung mit Hakenschnitt.)

30.06.2017 Markus Bienen, Zoller Elektronik AG

ZVEI:
Die Elektroindustrie

Bohrungen 0,8mm, Router 1,27mm
Freifläche 2,4mm
78mm hp
4,5mm

Beim Trennen von gefrästen Nutzen können Basismaterialreste stehen bleiben. Dies kann dadurch verhindert werden, dass die Fräshahn gemäß o.g. Skizzen angelegt werden. (Gilt vor allem für Stanzverfahren und Hakenschnitt, für Routen nicht relevant!)

Kontur ritzen:
Das Ritzen ermöglicht die mechanische Vortrennung von Leiterplatten für den Baugruppenproduzenten. Das Ritzen ist für FR4 Materialien gut geeignet, da die Stabilität des Basismaterials durch die eingeleitete Glasgewebe gewährleistet wird. Dadurch kann die Breite der Nutzenzeile auf Null reduziert werden. Damit ist eine wirtschaftliche und effektive Auslastung der Zuschnitte möglich. Nach der Bestückung ist ein endgültiges Trennen mit einem Trennwerkzeug erforderlich. Ein Abkanten des Nutzens ist unzulässig. Bei einem Ritzennutzen ist die Stabilität auch von der Leiterplattendicke abhängig, da mit dünneren Endmaßen die Durchbiegung entsprechend zu nehmen kann.

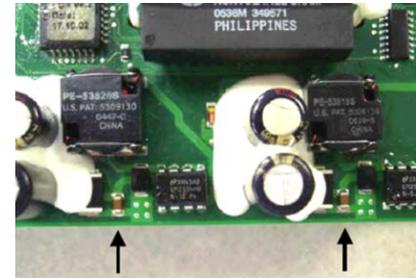
Prinzip: (Trennen einer bestückten Leiterplatte aus dem Fertigungsnutzen)
Die Leiterplatte wird in die Trennmaschine eingelegt, so dass die untere Ritzkante in die vorgesehene Aufnahme passt. Nun bewegt sich das eigentliche Trennmesser über die obere Ritzkante und trennt die Leiterplatten so, dass „keine“ Kraft auf die Bauteile bzw. Lötstellen auf den Leiterplatten wirken kann.

Veranschaulichung
Trennschnitte
Bestückte Bauteile
Fertigungspanel
Starre Aufnahme

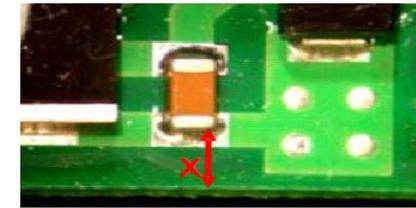
Designregel:
Alle Leiterbahnen, Bohrungen und Bauteilkörper müssen von einer Ritzkontur einen Abstand von ≥ 1 mm haben. Ritzlinien sind nur in gerader Richtung (waagrecht / senkrecht) möglich. Partielles Ritzen (Jump ritzen) ist zu vermeiden. Zusätzlich ist die Werkzeuggeometrie für das Herausretzen bereits im Design (Bautteilplatzung) zu beachten.
Ab einer Leiterplattendicke ≤ 0,8mm ist das Ritzen nicht mehr möglich. Die Ritzlinien haben eine Positionstoleranz von ± 200µm. Nach dem endgültigen Trennen entsteht eine Oberfläche aus der Glasfasern überstehen können. Beim Geratedesign ist dies zu beachten. Grundsätzlich sind die Toleranzen in den IPC Regelwerke 2212ff zu finden. Bei diesem Trennverfahren sind speziell bei der Bauteilplatzung während des Designs die vorgegebenen Abstände und Drehwinkel zur Kontur einzuhalten. Besonders anfällig für die eingeleiteten Kräfte während des Trennprozesses sind hier beispielsweise

30.06.2017 Markus Bienen, Zoller Elektronik AG

Nutzengestaltung / Trennverfahren:



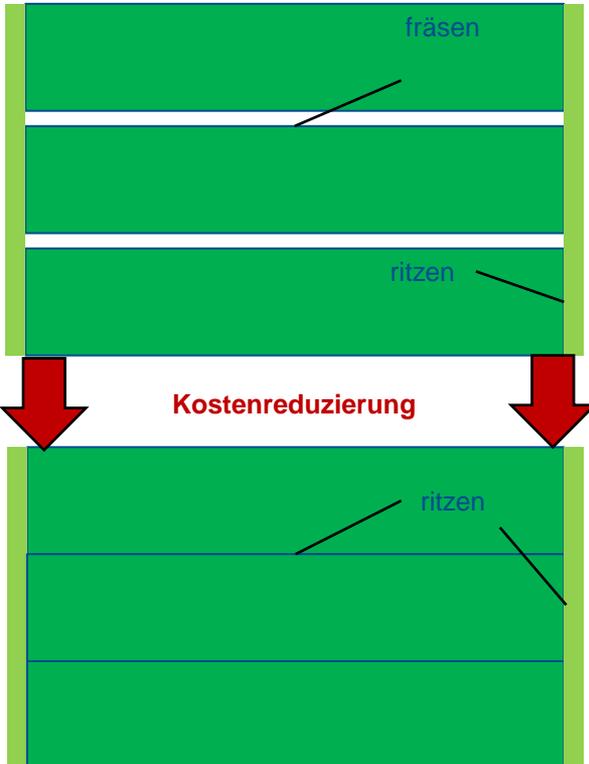
Keramikkondensator zu Nahe an der Kante.
Wird die Baugruppe Biegebeanspruchungen
ausgesetzt, kommt es zu Rissen am Bauteil.



Durch eindringende Feuchtigkeit im Feld
kann ein Parallelwiderstand entstehen,
der zum Ausfall führt.



**Kostenreduzierung
nur auf den ersten Blick!**



Rework / Repair:

Es werden die unterschiedlichen Verfahren und die Vor- / Nachteile und Einschränkungen beschrieben.

6.7 Rework

Allgemeines

Zunehmend hochwertiger Elektronikbaugruppen, die Umsetzung von Metalllegierungen auf leitfähigen (s) sowie die wachsende Miniaturisierung in der Elektronikfertigung erfordern eine geeignete Strategie im Reparaturfall. Neben der sicheren Bedienung der verschiedenen Lötlötlage ist das Wissen der richtigen Handhabung von elektronischen Baugruppen grundlegende Voraussetzung, um zuverlässige Produkte herzustellen und kostbare Wertschöpfung zu realisieren.

Der richtige Einsatz der Temperaturmesstechnik führt systematisch zum optimierten Lötlage im vorgegebenen Prozessfenster für sicheres Löten.

Bei dem Lötlage können viele Probleme auftreten, wie „Popcorn“- oder „Gräten“-Effekte, Kurzschlüsse, ungenügende Lötlageenergie, schlechte Haftung, Oxidation von Schaltlagern und viele mehr. Die Elektronikfertigung hat es ihr, die bewältigt werden müssen.

Ist der Prozess einmal aufgesetzt, gilt es, diesen über viele Durchläufe stabil zu halten, unabhängig von den Umgebungsbedingungen. Was in der Fertigung selbstverständlich ist, wird leider in der Nacharbeit oft vernachlässigt.

Ziel der Nacharbeit ist es, die Lötlageprozesse in der gleichen Art und Weise zu meistern wie in der Fertigung.

Bauteile

Für das Rework Löten von SMDs mit Kunststoff oder anderen feuchtigkeitsempfindlichen Gehäusen ist der JEDEC Standard J-STD 033 zu beachten.

Dieser beinhaltet allgemeine Anforderungen und Grenzwerte zur Klassifizierung von SMD Bauteilen hinsichtlich ihres Verhaltens gegenüber feuchter (MSL - Moisture Sensitivity Level) und der daraus resultierenden Maßnahmen für die Verpackung, Lagerung und Handhabung.

Dadurch soll gewährleistet werden, dass eine Schädigung bei der Verarbeitung mittels Rework Löten vermieden wird.

Leiterplatte

Mehrlagiger Leiterplatten-Baugruppen, die aus der praktischen Einsatzumgebung zurückgeführt, oder die für einen Monat oder mehr ungeschützt gelagert wurden, müssen vor der Nacharbeit getrocknet werden, um aufgenommene Feuchtigkeit zu beseitigen. Damit werden die Risiken einer allgemeinen Delamination der Leiterplatte und des Bruchs von Bauelement-Füßlingskappen verringert. Das Trocknungsregime sollte bei der maximalen Lagerungstemperatur der Baugruppe mit einer geeigneten Dauer durchgeführt werden. Übliche Kombinationen sind 48 h bei 80 °C oder 60 h bei 70 °C und sind von den Bauelementherstellern, Leiterplattenherstellern, Lageranbietern und Ausführenden von Erdrück- oder Stromversorgungsbecken abhängig. Leiterplatten mit unbeschützten Kupferflächen sind schneller zu trocknen als Leiterplatten mit durchgehend massiven Flächen.

Quelle: EN 61708-2:2007

Christian Greiff, Zallner Elektronik AG

Temperaturprofil

Zur Erstellung eines idealen Temperaturprofils für eine elektronische Baugruppe sollten alle beteiligten Einflussgrößen (wie z.B. Lötpaste, thermische Masse, Anzahl und Größe der Bauteile, Boardgröße, Material und Aufbau der Leiterplatte, Reworkstation) bekannt sein und berücksichtigt werden. Insbesondere muss die Lötferingung ermittelt werden die bei der Fertigung der Baugruppe verwendet wurde. (J-STD 001 / J-STD 006)

Als erste Ausgangsbasis zur Profilierung sollte die Empfehlung des Lötlageherstellers herangezogen werden. Hier sind meist schon die entsprechenden Parameter (oder Grenzwerte) angegeben, bei denen der Hersteller ein optimales Ergebnis für die verwendete Lötlage erwartet.

Besonderes Augenmerk bei der Profilierung sollte auf die angegebenen maximalen Belastungsgrenzen der SMD Bauteile gelegt werden. In der Regel beziehen sich hier die Bauelementhersteller auf die entsprechenden Standards wie JEDEC J-STD 001, J-STD 075 oder IEC 60069-2-50.

Heißgaslöten

1. Vorbereitungen

Als der Heißgaslötlage ist das erforderliche Zeit-Temperatur-Profil (TFP) zu ermitteln und anzustellen. Für die Ermittlung ist ein Temperaturmessband zu präparieren.

- Fühler 1 wird mittig vom Bauteil von unten durch die Leiterplatte ins Ball platziert, alternativ kann ein dünnes Metallthermoelement zwischen Leiterplatte und Bauelement durch die Ballreihe mittig unter dem Bauteil platziert werden.
- Fühler 2 wird an der Messpaste mit Wärmepaste benetzt, und mittig auf der Bauelementfläche im Halbzug montiert.
- Fühler 3 wird an der Messpaste mit Wärmepaste benetzt, und etwas entfernt vom Bauteil, auf der Leiterplattenoberfläche mit Klebeband fixiert.

Das Temperaturprofil wird nach den Vorgaben der Norm DIN EN 61708-1:2006, und den Datenblattangaben der verwendeten Paste/Fühlermittel und den Datenblattangaben der Temperaturmessgeräte der zu bearbeitenden Bauteile erstellt.

Hilfsmittlerische Bauteile in unmittelbarer Nähe des zu bearbeitenden Bauteils sind vor Heißgaslötlage zu schützen (Isolierend abdecken). Hilfsmittlerische Bauteile die nicht geschützt werden können sind zu demontieren (Sticker, DMS, Dabbin, etc., ...)

Quelle: EN 61708-1:2006

Christian Greiff, Zallner Elektronik AG

EN 61708-1:2006

Legende:
 Durchgezogene Linie: Typisches Verfahren (Temperatur am Anstrich)
 Unterbrochene Linie: Verfahrensgrenzen, untere Verfahrensgrenze (Temperatur der Anstrich), obere Verfahrensgrenze (Temperatur der Oberseite)

2. Entlötlage

- Entfernen von kontaktgebunden Schutzüberzügen (wenn vorhanden) und Bestimmen von Verankerungen, Düsen, Wärmepaste und Reststoffen von der betroffenen Fläche.
- Leiterplatte in die Geräteaufnahme einsetzen und fixieren, wenn nötig Unterstützungspins einsetzen.
- Flussmittel unterhalb des Bauteils einbringen.
- Das produktionspezifische Programm, dem das ermittelte Zeit-Temperatur-Profil (TFP) beiliegt, ist starten.
- Programmablauf folgen, und manuelle Programmschritte ausführen.

3. Restentfernung

Bevor das neue Bauelement eingesetzt werden kann, gilt es die Lötfläche von verbleibendem Lötzin und Verankerungen zu befreien und die Oberfläche zu säubern.

Um die Leiterplatte nicht zu beschädigen, sollte auf eine kontaktlose Entfernung des Restzins geachtet werden.

Die weiteren ist darauf zu achten, dass dieser Prozess möglichst kurz gehalten wird, um die Leiterplatte nicht unnötig thermisch zu belasten.

Nach der Restentfernung sind die Lötstellen visuell auf Ebenheit zu prüfen.

4. Vorbereitungen Auflötlage

Hohe Qualitätsanprüche oder spezielle Bauformen der SMDs machen das Aufräumen von Paste/Flussmittel vor der Plättung unumgänglich. Hierfür stellen sich die Möglichkeiten:

- Aufräumen von Lötpaste mit Minisägen und Rakel auf die Leiterplatte (z.B. DFT)
- Aufräumen von Lötpaste mit Minisägen in der Flurrichtung und Rakel direkt auf das Bauteil (z.B. BGA, QFN, MLF)

Quelle: EN 61708-1:2006

Christian Greiff, Zallner Elektronik AG

ZVEI Die Elektroindustrie

3. Definierter Auftrag von Flussmittel auf die Bauteilanschlüsse mittels Dip-Vorrichtung

5. Auflötlage

- Leiterplatte in die Geräteaufnahme einsetzen und fixieren, wenn nötig Unterstützungspins einsetzen.
- Das produktionspezifische Programm, dem das ermittelte Zeit-Temperatur-Profil (TFP) beiliegt, ist starten.
- Programmablauf folgen, und manuelle Programmschritte ausführen.
- Geplante Bauteile sind nach der Polungskennzeichnung (Bauteil-Leiterplatte-Beschriftungssymbol) richtig zu beschriften.
- Eine optische Kontrolle des Lötlageprozesses wird empfohlen. (Kamerasystem/Mikroskop)

Lötageergebnis prüfen

Mikroskop: Visuelle Prüfung der Bauteilfläche, der Bauteil Polung und der Ausbildung der Lötung im Randbereich.

X-Ray: Durchstrahlung der Baugruppe mittels Röntgenstrahlen. Erkennt die Fehler Kurzschluss, Luftschlüsse in den Lötstellen und Ausformung der Balls.

Erascope: Visuelle Prüfung der äußeren Ballreihen. Erkennt die Fehler Kurzschlüsse im Randbereich, kalte Lötstellen, Ausbildung der Lötstelle und Ausformung der Balls im Randbereich.

Elektrischer Test: Elektrische Funktionsprüfung der Schaltung und der Lötanschlüsse (ICT, BScan, FAT, ...)

Schichtbild: Zeigt die Ausbildung beziehungsweise das Gefüge der Lötstelle. Diese Testmethode ist eine zerstörende Prüfung, und nur anzuwenden wenn es wirtschaftlich vertretbar ist.

Sauberkeit der Leiterplatten

Werden beim Löten „no clean“ Flussmittel eingesetzt so sind auch diese von der Leiterplatte zu entfernen, wenn nachfolgende Prozessschritte dadurch beeinträchtigt werden oder dies durch Kundenvorgaben zwingend erforderlich ist. (z.B. Lackierung, Einsatz bei Feuchtigkeit, Verguss, ...)

Das manuelle Entfernen dieses Flussmittelerests ist nur mit Isopropanol, Spiritus oder Reinigungsmitte zulässig, die vom jeweiligen Kunden freigegeben sind. Generell ist eine Trockenreinigung (Abblättern) einer Nassreinigung vorzuziehen.

Beim Reinigen mit einer automatischen Anlage ist einmalig eine Verträglichkeitsprüfung des Waschmediums durchzuführen.

Bei Ultraschallreinigung ist darauf zu achten das die mechanische oder elektrische Leistung der Baugruppe oder des Bauteiles nicht beeinträchtigt wird.

Quellenverzeichnis

- Norm EN 61708-1:2006
- Norm EN 61192-5:2007
- IPC 7711 / 7711

20.10.2014 Christian Greiff, Zallner Elektronik AG

Schuttmittelbeschichtung:

Es werden die unterschiedlichen Verfahren und die Vor- / Nachteile und Einschränkungen beschrieben.

ZVEI
Die Elektroindustrie

0.2.9 Schutzbeschichtung von elektronischen Baugruppen

Allgemeines

Der erhöhte Integrationsgrad von elektronischen Komponenten und die immer geringer werdenden Lebensdauer- und Pflanz-Abstände mit kleiner werdenden Bauteil-Geometrien werfen im Bereich der Langzeit- und zuverlässigen Funktion unter rauen klimatischen Bedingungen eine neue Problematik auf.

Die Zuverlässigkeit einer Komponente wird im Wesentlichen durch Material-, Konstruktions- und Herstellungs- bestimmt, sie ist jedoch auch stark von den Einsatzbedingungen abhängig.

Typische Einsatzfälle von elektronischen Komponenten sind Motorraum, im Freien, Park- und Wohnhäuser, Werkzeug- und Haushaltsgeräte etc., also überall dort, wo unangünstige Umweltbedingungen direkten Einfluss nehmen.

Verschmutzungen, erhöhte Luftfeuchtigkeit und Belastung korrosive Gase, Pilzbefall und erhöhte Betriebstemperaturen sowie mechanische Einflüsse sind nur einige Mechanismen, die zu Störungen und schließlich zum kompletten Ausfall der Komponente führen können.

Um eine langfristige und sichere Funktion zu sichern, wird eine Schutzumhüllung auf der Flachbaugruppe gefertigt. Diese Forderung besteht nicht nur in den schematechnischen Bereichen der Mechatronik, der Automobilindustrie, im Ex-Schutz-Bereich, der Luft- und Raumfahrt sondern auch in vielen weiteren Bereichen der Elektronikindustrie.

Materialauswahl Beschichtung

Eine Vielzahl von Elektronik-Schutzbeschichtungsmedien steht heutzutage auf dem Markt zur Verfügung. Die meisten der gängigen Materialien lassen sich in folgende Substanzgruppen einteilen:

- Acrylate
- Alkide
- Polyurethane
- Silikone
- Epoxide
- Polyester
- Fluorpolymere

Die unterschiedlichen Eigenschaften der Basismaterialien stellen die Grundlage für die Schutzschicht dar, und sind individuell auf die Anforderungen (Einsatzbereich der PCB) und die Geometrie der Bauteilstruktur abzustimmen.

AK Design Chain für Elektronik Systeme

20.03.2015 Address Hunger, Zoller Elektronik AG

ZVEI
Die Elektroindustrie

Beschichtungsverfahren

Geschädigt den Beschichtungsmaterialien und den zu beschichtenden Geometrien auf der Leiterplatte sowie den Anforderungen an die Schichtdicke werden verschiedene Beschichtungsverfahren eingesetzt.

Selektives Lackiering / Gießverfahren

Der selektive Lackauftrag wird durch Zuführen eines Lackvolumens über die Baugruppe appliziert. Weg, Richtung und Geschwindigkeit sowie die Geometrie sind dabei frei programmierbar.

Der e.g. Lackvorgang wird ohne Trägerluft aufgebaut und anhebt in seiner Form den einen Vorgang, die Strömung ist über ein Leck regelbar, die Grund-Geometrie wird von der verwendeten Düse vorgegeben.

Führt man den „Vorhang“ über die Baugruppe, so lassen sich z.B. durch mehrdeutige Bewegungen in relativ kurzer Zeit flächige Beschichtungen realisieren.

Die Schichtdicke kann über die Fahrgeschwindigkeit sowie durch Überlagerungen von Beschichtungsmaterialien gesteuert werden.

Einschränkungen dieses Verfahren obliegen hauptsächlich der Konturtreue (Geometrieabhängig) (rhm bis 3mm) sowie der Beschichtung unter Bauteilen sowie an vertikalen Bauteilflächen.

Quelle: Springer, Asymtek

Strahl- und Spritzbeschichtung

Der Auftrag des Beschichtungsmaterials erfolgt mittels Trägerluft von oben. Die Auftragart sowie die Prozessparameter hängen dem des Lackierung-/Gießverfahrens. Durch programmierbare Führung der Auftragsdüse über die Leiterplatte wird das Beschichtungsmaterial appliziert. Die Grenze zwischen beschichteten und nicht beschichteten Bereichen sollte > 3mm betragen.

AK Design Chain für Elektronik Systeme

20.03.2015 Address Hunger, Zoller Elektronik AG

ZVEI
Die Elektroindustrie

Selektives „Schwark-Tauchen“

Die Baugruppe wird auf einem mit Lack gefüllten Formbecher aufgelegt, mit Niederhalter fixiert und auf die Kontur des Formbeckers gedrückt.

Durch eine Drehbewegung der kompletten Konstellation um ca. 180° wird nur der Bereich innerhalb des Formbeckers mit Lack benetzt.

Das Verfahren bietet eine „echte“ Tauchbeschichtung auch innerhalb enger Konturvorgaben (bis 1mm) und realisiert die Benetzung auch an vertikalen Bauteilflächen. Voraussetzung der Anwendung ist eine „dicke“ Leiterplatte“ innerhalb der zu beschichtenden Kontur (keine Bohnungen etc.). Des Weiteren muss die Kontur (Konturhöhe < 1mm) des Formbeckers auf auf der Leiterplattenoberfläche aufliegen, erhöhte Leiterzüge oder Pads stören die „Dichtigkeit“ der Form. Die Möglichkeit, Niederhalter im Bereich der Form zu platzieren ist Voraussetzung.

Die Nassschichtdicke ist nahezu ausschließlich von der Viskosität des Beschichtungsmediums abhängig.

Quelle: VöB Beschichtung

Tauchbeschichtung

Das Beschichtungsmedium befindet sich in einem Becken das meist über ein Flut-Wehr auf exakter Höhe gehalten wird. Die zu beschichtenden Baugruppen werden entweder komplett oder nur zu einem Teil, zumeist vertikal, in das Beschichtungsmedium eingetaucht. Möglichkeiten zur Aufbereitung der Leiterplatten und Altpräparaten (abhängig von verwendetem Beschichtungsmaterial) müssen berücksichtigt werden. Die Nassschichtdicke hängt von der Viskosität und der Geometrie sowie vom Austauschzeit und der Geschwindigkeit ab.

Selektives Fluten

Bei diesem selektiven Beschichtungsverfahren wird die Leiterplatte auf eine Lackierform (ähnlich eines Formbeckers) beim „Schwark-Tauchen“ aufgesetzt und mit Niederhalter fixiert. In horizontaler Lage verbleibend, flutet das Beschichtungsmedium von unten die Leiterplatte innerhalb der Lackierform. Differenz zum „Schwark-Tauchen“ kann die Leiterplatte innerhalb des Beschichtungsbeckens Durchlöcher und Bohrungen aufweisen, da nach der Benetzung der Lotstopfplatte die Flüssigkeitsbewegung nicht mehr steigt. Offene Durchkontaktierungen innerhalb des Beschichtungsbeckens verringern die Gefahr von Leckströmen und fördern die Benetzung, bei großen zu beschichtenden Flächen sind Öffnungen erforderlich.

Die Kontur der Lackierform muss an der Leiterplatte durchgehend aufliegen, die Kontaktbereiche bewegt sich bei Fluten.

Die aufgetragene Schichtdicke ist abhängig von der Viskosität und der Abtauchgeschwindigkeit beim Zurückziehen des Beschichtungsmaterials.

Fluorpolymerschichtung

AK Design Chain für Elektronik Systeme

20.03.2015 Address Hunger, Zoller Elektronik AG

ZVEI
Die Elektroindustrie

Die Beschichtung wird im Tauchprozess appliziert und bildet eine ca. 1µm Dicke, nahezu unsichtbare Schicht auf der Leiterplatte. Die Beschichtung ist für den Einsatz unter hoher Luftfeuchtigkeit geeignet. Das Verfahren unterscheidet sich maßgeblich zu den bekannten Schutzbeschichtungen auf Grund der Eigenschaften des Fluorpolymers.

Selektive Beschichtung oder maskieren von z.B. Steckkontakten ist nicht erforderlich, da die geringe mechanische Stabilität und die geringe Schichtdicke eine elektrische Verbindung der Kontaktpaare gewährleistet.

Oberflächen / Haftung der Beschichtung

Abhängig von der Paarung des verwendeten Beschichtungsmaterial und der Oberfläche von Leiterplatten und Bauteilen sind unterschiedliche Haftfestigkeiten zu erwarten. Generell sollte die Oberflächenenergie der zu beschichtenden Bereiche hoch sein, erstrebenswert sind auf Lötstopplack und Bauteiloberflächen Werte von >35mN/m. Verunreinigungen durch z.B. Trennmittel an Bauteiloberflächen oder durch Rückstände aus dem LP-Herstellprozess oder von Lötprozessen stören die Haftung. Abhilfe kann ein nachgelagerter Reinigungsprozess schaffen.

Die Bestimmung der Oberflächenspannung ist mit Hilfe der Benetzungswinkel-Messung oder mit Testflüssigkeiten (Testtinte) möglich.

Härtung- / Trocknung der Beschichtung

Die Härtung der Schutzbeschichtung hängt vom Beschichtungsmedium ab. Viele der gängigen Schutzlacke sind Lösemittelhaltige Systeme, die aber z.T. weitere Härtungssystematiken beinhalten. Hierzu sind die technischen Datenblätter der jeweiligen Beschichtungsstoffe zu berücksichtigen. In vielen Fällen ist eine Ofentrocknung bis zur Griffestigkeit möglich, weitere Mechanismen sind u.a. UV-Härtung, Aufnahme von Sauerstoff oder Feuchtigkeit etc.

Quellenverzeichnis / Normen

- J-STD IPC 601
- J-STD IPC 610
- J-STD IPC 830
- GIKORR „Korrosionsschutz in der Elektronik und Mikrosystemtechnik“
- Schutzlacke für elektronische Baugruppen (Dr. Manfred Suppa)

AK Design Chain für Elektronik Systeme

20.03.2015 Address Hunger, Zoller Elektronik AG

Baugruppenverpackung:

Es werden die unterschiedlichen Verfahren und die Vor- Nachteile und Einschränkungen beschrieben.

ZVEI:
Die Elektroindustrie

Verpackung

Im Rahmen der Design Chain erhält auch die Verpackung von Baugruppen und Komponenten eine entscheidende Bedeutung mit Auswirkungen auf

- Produktqualität
- Zuverlässigkeit
- Produktivität/Lebenszeit
- Nachhaltigkeit/ Umweltfreundlichkeit
- Energieeffizienz

Dabei müssen die gewählten Verpackungskonzepte, je nach konkretem Anwendungsfall, Kombination der nachfolgenden Anforderungen erfüllen:

- Schutz gegen Einwirkungen von Feuchtigkeit (z.B. MSL -Verpackung)
- Schutz gegen Schüttungen durch ESD (Elektrostatik Discharge bzw. elektrostatische Entladung)
- Schutz gegen sonstige Umwelteinflüsse (z.B. Staub, Partikel, sonstige Kontamination, UV-Licht)
- Schutz gegen mechanische Beschädigung
 - Optimierung des Gesamtanlasses von
 - Handgriffanwand
 - Falt-/Klappmechanik
 - Materialbearb./Abfallmenge
 - Materialkosten
 - Transportaufwand/Transportkosten
 - Erfüllung spezifischer Kundenanforderungen

Viele der vorstehend aufgeführten Aspekte sollten bereits in einem sehr frühen Stadium der Produktentwicklung bzw. -entwicklung berücksichtigt werden, um noch möglichst viele Freiheitsgrade für eine optimale Auslegung nutzen zu können.

Baugruppen-/Schaltungsentwicklung

Bereits bei der Spezifikation bzw. Entwicklung einer Baugruppe werden Festlegungen für das spätere Verpackungskonzept getroffen. Insbesondere die nachfolgenden Entscheidungen beeinflussen das spätere Logistik- und Verpackungskonzept (ohne Anspruch auf Vollständigkeit):

- Verwendung von Bauteilen, die gegenüber elektrostatischen Entladungen empfindlich sind (ESD-S-Bauteile)
- Verwendung von hochleitfähigkeitsempfindlichen Bauteilen (MSL-, Bauteile)
- Verwendung von Bauteilen mit erhöhter Empfindlichkeit gegen Staub- oder Partikelverunreinigungen
- Verwendung und Anordnung von Bauteilen mit erhöhter Empfindlichkeit für mechanische Beschädigungen oder mit besonderem Beschädigungspotenzial für andere Baugruppen
- Maße der Baugruppe

ESD-Bauteile

Wenn in einer Baugruppe ESD empfindliche Bauteile eingesetzt werden, muss in der Realität in der überwiegenden Mehrheit der Fälle zutreffen dürfen, so ist dies für alle logistischen Prozesse bis hin zu dem Stadium, wo die Baugruppe z.B. durch Einbauung/Produktverpackung ESD-empfindlich wird, zu berücksichtigen. Sowohl die ESD-S-Bauteile, als auch die ungeschützten Baugruppen, die diese Komponenten

11.01.2017 Michael Schlegel / Detlef Schneider, Smyczek GmbH

ZVEI:
Die Elektroindustrie

Bauteile mit besonderer Verschmutzungsempfindlichkeit

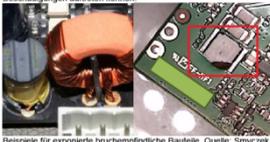
Es gibt Bauteile, insbesondere aus dem Bereich stark miniaturisierter elektromechanischer Verbindler, die besonders empfindlich auf Verschmutzung durch Staub oder kleine Partikel reagieren. Solche Kontaminationen können Funktionseinschränkungen oder Ausfälle zur Folge haben. Werden solche Bauteile eingesetzt, so sind, je nach dem vorliegenden Lager- und Fertigungsumfeld, besondere Verpackungsmaßnahmen zu treffen und zu dokumentieren. Die Möglichkeiten reichen von der Verwendung von Deckeln für Transport- und Lagerkästen beim internen und externen Transport, sowie der Lagerung, bis zur Verpackung der einzelnen Baugruppen in ESD-Beuteln nach jedem einzelnen Arbeitsschritt, wodurch die Baugruppen eine minimale Zellspanne der Umgebungsluft ausgesetzt sind.



Abdeckung der jeweils obersten Kiste mit einem Deckel (links) und Verpackung von Baugruppen einzeln in ESD-Beuteln (rechts). Quelle: Smyczek GmbH

Exponierte Bauteile mit besonderer mechanischer Empfindlichkeit

Bauteile aus besonders sprödem Material (z.B. Ferrit) sind besonders gefährdet mechanisch beschädigt zu werden, insbesondere, wenn sie nahe am Baugruppenrand angeordnet sind und, bezogen auf ihre Umgebung, die größte Höhe aufweisen. In dem Fall, dass eine solche Anordnung nicht vermeidbar ist, sollte durch eine geeignete Schutzverpackung sichergestellt werden, dass bei Transport und Lagerung keine Beschädigungen auftreten können.



Beispiele für exponierte bruchempfindliche Bauteile. Quelle: Smyczek GmbH

11.01.2017 Michael Schlegel / Detlef Schneider, Smyczek GmbH

ZVEI:
Die Elektroindustrie

enthalten, dürfen nur in ESD-Verpackung gelagert und transportiert werden. Eine Bearbeitung, insbesondere eine Entnahme aus Verpackungen und Weiterverarbeitung, ist nur elektrostatischen Schutzzonen (EPA-Zonen), vorzunehmen. Für weiterführende Informationen zum Umgang mit ESD-empfindlichen Bauteilen sei auf die umfangreiche Fachliteratur und die DIN EN 61340-5-1, Schutz von elektronischen Bauelementen gegen elektrostatische Phänomene – Allgemeine Anforderungen“ verwiesen.

MSL-Bauteile

Elektronische Bauteile können aus der Umgebungsluft Feuchtigkeit aufnehmen, die durch Diffusionsprozesse tief in die Komponenten eindringen kann. Die Funktionsfähigkeit der Bauteile wird hierdurch in der Regel nicht beeinträchtigt. Werden Bauteile, die bereits eine gewisse Menge Feuchtigkeit aufgenommen haben, im Lotprozess erhitzt, so kann es durch Verdampfen der Flüssigkeit im Inneren der Bauteile zu Aufblähen, Rissbildungen oder Delaminationen kommen, die das Bauteil zerstören und/oder vorschädigen. Die Neigung, Feuchtigkeit aufzunehmen, ist bauteilspezifisch. Die Tatsache, dass es sich um MSL-Bauteile handelt, ist in Informationen der Hersteller und/oder als Aufdruck/Etikett auf der Bauteilverpackung (spezifiziert in J-STD-033B-1) verfügbar.



Beispiele für MSL-Kennzeichnung auf einer Bauteilverpackung. Quelle: Smyczek GmbH

Nach J-STD-033B-1 werden sogenannte MSL-Level spezifiziert, die definieren, wie lange ein Bauteil an Umgebungsluft (20°C/65% relative Luftfeuchtigkeit) gelagert werden kann, ohne die Gefahr der oben dargestellten Schädigungen einzugehen. Falls eines der nachfolgenden Ereignisse:

- Überschreitung der maximalen Lagerzeit an Umgebungsluft
- Überschreitung der Lebenszeit der Verpackung
- Einbringen von Feuchtigkeit in die Verpackung gemäß Indikatorstreifen eingetreten sein sollte, ist eine Rücktrocknung der Bauteile gemäß der Vorgaben des J-STD-033B-1 erforderlich.

11.01.2017 Michael Schlegel / Detlef Schneider, Smyczek GmbH

ZVEI:
Die Elektroindustrie



ESD-Baugruppentrays in ESD-Kunststofftransportboxen. ESD-Schaumstoff (links) und ESD-Tiefziehteil (rechts). Quelle: Smyczek GmbH

Der höchste Grad der Individualisierung der Verpackung ist erreicht, wenn sie auf einzelne Baugruppen oder Produktfamilien ausgelegt wurde. Auf diese Art kann zwar die größte Schutzwirkung erreicht werden, auf der anderen Seite ergeben sich so aber auch die größten Anschaffungskosten, die höchste Kapitalbindung und die größte Platzbedar. Dabei können die individuellen Trays sowohl für liegende, als auch für stehende Baugruppen gestaltet werden. Die größere Packungsdichte ist zumeist bei stehender Anordnung erreichbar, insbesondere, wenn bei einseitiger Bestückung die Baugruppen direkt ohne Abstand aneinander angeordnet werden können.



ESD-Tiefziehtrays für stehende Baugruppenanordnung. Quelle: Smyczek GmbH

Geltungsbereich

Gilt für Bauteile, sofern hier Besonderheiten (MSL) zu berücksichtigen sind, sowie für Baugruppen. Die Erfordernisse für Verpackungen von Endprodukten wurden in diesem Beitrag nicht berücksichtigt.

Querverweise

Quellenverzeichnis

- Langzeitlagerfähigkeit von Bauelementen, Baugruppen und Geräten ZVEI, Frankfurt am Main 2013
- IPC-A610F
- Elektrostatische Entladung https://de.wikipedia.org/wiki/Elektrostatische_Entladung
- J-STD-020D.1
- J-STD-033B.1

11.01.2017 Michael Schlegel / Detlef Schneider, Smyczek GmbH

- Die Teilnehmer des Arbeitskreises Design Chain haben sich zum Ziel gesetzt alle Zusammenhänge hinsichtlich des Elektronikdesigns und die Abhängigkeiten der Beteiligten innerhalb der Chain darzustellen.
- Jedes Glied dieser Kette beeinflusst die Entstehungskosten und Marktfähigkeit eines Produktes. Das beginnt bei der Produktidee und reicht über die erfolgreiche Markteinführung hinaus bis zum After Sales Service.
- Frühzeitige Absprachen und Kommunikation entlang der „Design Chain“ verkürzen die Dauer der Entwicklungsphasen und erhöhen die Qualität.
- Grundlagen und Hilfen dazu werden durch den Arbeitskreis des ZVEI angeboten. Er zeigt Wege auf und weist auf die Stellen, die in der Informationskette unumgänglich sind um Fehler frühzeitig zu erkennen und zu vermeiden.

Mit den notwendigen Informationen im Netzwerk intelligent ans Ziel
 Sichern Sie sich aktuelles Wissen und arbeiten Sie aktiv im Arbeitskreis mit!



Save the date...

Design Tagung am 29.11.2018 bei ILFA in Hannover



Design Tagung am 26.03.2019 bei Weidmüller in Detmold

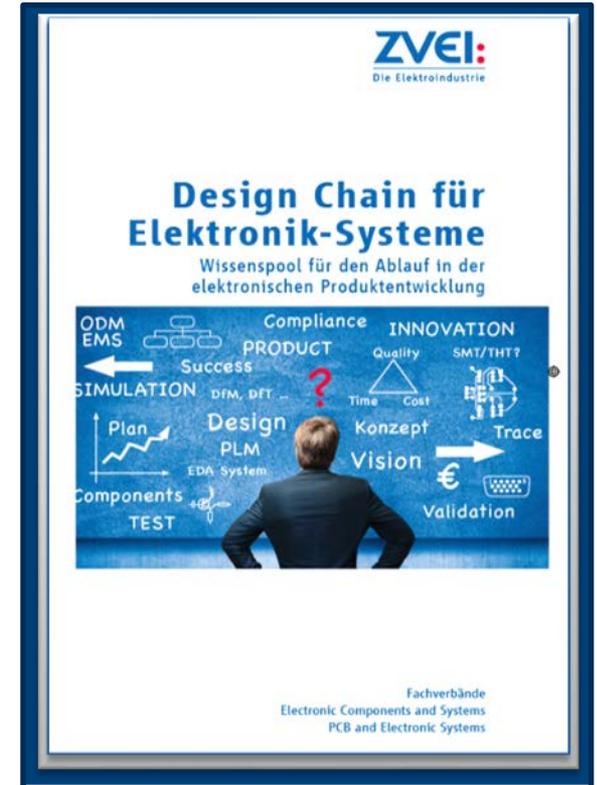


Gemeinsam zum optimalen

Design / Erfolg

Vielen

Dank



Anhang

Arnold Wiemers

Nach naturwissenschaftlichem Studium ab 1980 selbstständig als Softwareentwickler für die Kalkulation, die Fertigungsabläufe und Fertigungsleitsteuerung von Leiterplatten.

Ab 1983 angestellter Geschäftsführer für den Fachbereich CAD der ILFA GmbH. In den 1990er Jahren Aufbau der CAM.

Ab 2000 Technologieberatung für komplexe Leiterplatten.

Seit 2009 Technischer Direktor der LeiterplattenAkademie GmbH. Fachseminare zur Leiterplatten- und Baugruppentechologie. Mitarbeit am Schulungskonzept der entsprechenden Fachverbände. Aktives Mitglied im AK-Design des ZVEI.

Förderung der Ausbildung an Fach- und Hochschulen.



Kurzportrait: Ilfa

Branche Leiterplattenproduktion

Dienstleistungen Starre, flexible und starrflexible Leiterplatten / Ultra Thin Multilayer / Blind-, Buried-, Stacked Vias / Pluggen / Impedanzkontrollierte Leiterbahnen / Mikrofeinstleiter bis 50 µm / Embedded Components / Integriertes Mikrokühlsystem (ILFACOOOL) / HF- und Leistungstechnik / EMV gerechte Leiterplatten / Hybridmultilayer / Kantenmetallisierung / Elektro-Optische Leiterplatten / Multilayer bis 32 Lagen / CAD-Design / Scan-Service / Machbarkeitsanalyse / Bestückung (...über Partnerunternehmen)

Historie Das inhaber- und gründergeführte Unternehmen ILFA (~ Industrielle Leiterplattenfertigung aller Art) entwickelt und produziert seit über 37 Jahren Leiterplattentechnologie im High-Tech-Segment.

Standorte Firmensitz 30559 Hannover Lohweg 3
Niederlassung 01723 Kesselsdorf Am Wüsteberg 3
Dresden

Kennzahlen 18 Mio. € Umsatz / a 190 Mitarbeiter

Zertifizierungen DIN ISO EN 9001, DIN ISO EN 14001, DIN ISO EN 50001 / UL CERTIFICATE / CERTIFIED COMPLIANCE TO IPC 6010-SERIES & SM 840, IPC QL-653 und IPC A-600



Markus Biener

Markus Biener, ist vom IPC zertifizierter C.I.D., C.I.D.+ Trainer, FED Designer und Referent.

Er befasst sich seit 1994 mit dem Design von Leiterplatten, Baugruppen und Systemen und leitet seit 1998 das PCB Design Team der Zollner Elektronik AG.

Der Schwerpunkt ist die Industrialisierung des Schaltungsentwurfes in enger Abstimmung mit der kompletten Design Chain.

Er arbeitet seit 2004 in verschiedenen Arbeitskreisen der Verbände FED und ZVEI mit den Themen Design Chain, Aus- und Weiterbildung und Services in EMS mit.



Kurzportrait: Zollner Elektronik AG

Branche: EMS



Produktportfolio / Dienstleistungen:

Komplexe mechatronische Systeme, von der Entwicklung bis zum After Sales Service.

Historie: 1965 Gründung des Unternehmens durch Manfred Zollner

Standorte: insgesamt 18 Standorte in Deutschland, Ungarn, Rumänien, China, Tunesien, den USA, der Schweiz, Costa Rica und Hong Kong

Kennzahlen: 1.388 Mio. € Umsatz, >11.000 Mitarbeiter (Stand: 31.12.2017)

Zertifizierungen: ISO 9001, ISO 14001, ISO/TS 16949, OHRIS, ISO 13485, EN 9100, ISO/IEC 27001, IRIS/ISO22163, ISO 50001

Michael Sturm

Nach Studium Elektrotechnik / Datentechnik an TU Darmstadt bis 1995 Hardware-Entwicklung von Industrie-Steuerungen.

Von 1995 bis 2011 Produktmanagement, Produktmarketing und Markteinführung von neuen Technologien von Steckverbindern in der Weidmüller Gruppe.

Seit 2011 Industriemanager im deutschen Vertrieb in der Weidmüller Gruppe. Fokus auf Applikationen wie Industrie-Steuerungen und Antriebstechnik.

Aktives Mitglied im AK-Design Chain des ZVEI.



Kurzportrait: Weidmüller

Als erfahrene Experten unterstützen wir unsere Kunden und Partner auf der ganzen Welt mit Produkten, Lösungen und Services im industriellen Umfeld von Energie, Signalen und Daten. Wir sind in ihren Branchen und Märkten zu Hause und kennen die technologischen Herausforderungen von morgen.

So entwickeln wir immer wieder innovative, nachhaltige und wertschöpfende Lösungen für ihre individuellen Anforderungen. Gemeinsam setzen wir Maßstäbe in der Industrial Connectivity.

Die Unternehmensgruppe Weidmüller verfügt über Produktionsstätten, Vertriebsgesellschaften und Vertretungen in mehr als 80 Ländern.

Im Geschäftsjahr 2017 erzielte Weidmüller einen Umsatz von 740 Mio. Euro mit rund 4.700 Mitarbeitern.

Let's connect.

Weidmüller 

Branche
Unternehmen für
Elektrotechnik

Gründung
1850

Hauptsitz
Detmold, Deutschland